

(19) 日本国特許庁 (J P)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-250221

(43) 公開日 平成6年(1994)9月9日

(51) Int. Cl.

識別記号

F I

G02F 1/136

500

9018-2K

1/133

550

9226-2K

審査請求 未請求 請求項の数 1 O L (全19頁)

(21) 出願番号

特願平5-40034

(22) 出願日

平成5年(1993)3月1日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 廣島 實

千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内

(72) 発明者 折付 良二

千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内

(72) 発明者 香西 甲矢夫

千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内

(74) 代理人 弁理士 秋田 収喜

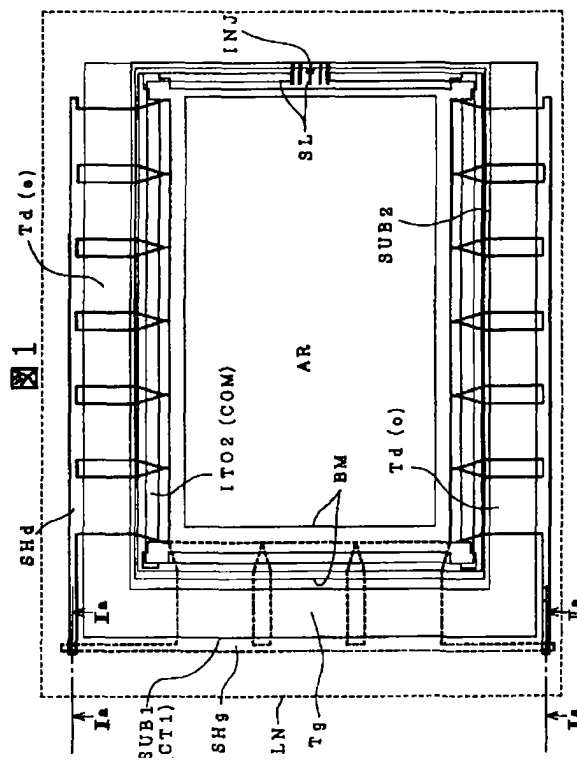
最終頁に続く

(54) 【発明の名称】 液晶表示基板の製造方法

(57) 【要約】

【目的】 走査信号線および映像信号線の形成に信頼性をもたせる。

【構成】 透明基板面にそのx方向に延在しかつy方向に並設する第1信号線群を形成する工程と、少なくとも前記第1信号線群との間に絶縁膜を介してy方向に延在しかつx方向に並設する第2信号線群を形成する工程と、前記透明基板にその周辺部を除去するための切断をする工程とからなる液晶表示基板の製造方法において、除去させるべく透明基板の周辺部に、第1信号線群の各信号線に接続された第1共通導体層および第2信号線群の各信号線に接続された第2共通導体層とを形成するとともに、第1共通導体層および第2共通導体層との間にそれらが静電的に短絡できる手段を形成する工程を備える。



1

## 【特許請求の範囲】

【請求項 1】 透明基板面にその x 方向に延在しかつ y 方向に並設する第 1 信号線群を形成する工程と、少なくとも前記第 1 信号線群との間に絶縁膜を介して y 方向に延在しかつ x 方向に並設する第 2 信号線群を形成する工程と、前記透明基板にその周辺部を除去するための切断をする工程とからなる液晶表示基板の製造方法において、

除去させるべく透明基板の周辺部に、第 1 信号線群の各信号線に接続された第 1 共通導体層および第 2 信号線群の各信号線に接続された第 2 共通導体層とを形成するとともに、第 1 共通導体層および第 2 共通導体層との間にそれらが静電的に短絡できる手段を形成する工程を備えることを特徴とする液晶表示基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、液晶表示基板の製造方法に係り、たとえば薄膜トランジスタ等を使用したアクティブ・マトリクス方式の液晶表示装置の製造方法に関する。

## 【0002】

【従来の技術】 アクティブ・マトリクス方式の液晶表示装置は、マトリクス状に配列された複数の画素電極のそれぞれに対応して非線形素子（スイッチング素子）を設けたものである。各画素における液晶は理論的には常時駆動（デューティ比 1.0）されているので、時分割駆動方式を採用している、いわゆる単純マトリクス方式と比べてアクティブ方式はコントラストが良く、特にカラー液晶表示装置では欠かせない技術となりつつある。スイッチング素子として代表的なものとしては薄膜トランジスタ（TFT）がある。

【0003】 そして、このような構成からなる液晶表示基板は、x 方向に延在しかつ y 方向に並設する走査信号線（ゲート信号線または水平信号線）、およびこの走査信号線との間に絶縁膜を介して y 方向に延在しかつ x 方向に並設する映像信号線（ドレイン信号線または垂直信号線）とを備え、前記薄膜トランジスタを駆動させて画素電極に電圧を印加するようになっている。

【0004】 なお、薄膜トランジスタを使用したアクティブ・マトリクス方式の液晶表示装置は、例えば特開昭 40 63-309921 号公報や、「冗長構成を採用した 12.5 型アクティブ・マトリクス方式カラー液晶ディスプレイ」、日経エレクトロニクス、頁 193~210、1986 年 12 月 15 日、日経マグロウヒル社発行、で知られている。

## 【0005】

【発明が解決しようとする課題】 しかしながら、このような構成からなる液晶表示基板は、その製造の段階において、走査信号線の一部と映像信号線の一部との間に電気的短絡が発生してしまうことが指摘されていた。

【0006】 そして、この理由は、走査信号線等が形成

2

されているガラス基板に静電気が発生しやすく、この静電気によって該走査信号線と映像信号線との間の絶縁膜に高電圧が印加され、該絶縁膜が静電破壊してしまうからだということが判明した。

【0007】 それ故、本発明はこのような事情に基づいてなされたものであり、その目的とするところのものは、走査信号線および映像信号線の形成に信頼性をもたせるようにした液晶表示基板の製造方法を提供することにある。

## 【0008】

【課題を解決するための手段】 このような目的を達成するために、本発明は、基本的には、透明基板面にその x 方向に延在しかつ y 方向に並設する第 1 信号線群を形成する工程と、少なくとも前記第 1 信号線群との間に絶縁膜を介して y 方向に延在しかつ x 方向に並設する第 2 信号線群を形成する工程と、前記透明基板にその周辺部を除去するための切断をする工程とからなる液晶表示基板の製造方法において、除去させるべく透明基板の周辺部に、第 1 信号線群の各信号線に接続された第 1 共通導体層および第 2 信号線群の各信号線に接続された第 2 共通導体層とを形成するとともに、第 1 共通導体層および第 2 共通導体層との間にそれらが静電的に短絡できる手段を形成する工程を備えることを特徴とするものである。

## 【0009】

【作用】 このように構成した液晶表示基板の製造方法によれば、特に、除去させるべく透明基板の周辺部に、第 1 信号線群（たとえば走査信号線）の各信号線に接続された第 1 共通導体層および第 2 信号線群（たとえば映像信号線）の各信号線に接続された第 2 共通導体層とを形成するとともに、第 1 共通導体層および第 2 共通導体層との間にそれらが静電的に短絡できる手段を形成するようにしたものである。

【0010】 このため、透明基板に静電気が発生し、この静電気によって該走査信号線と映像信号線との間の絶縁膜に高電圧が印加されるような状態となっても、その前段階で走査信号線と映像信号線が電気的に短絡し、これら各信号線に発生した静電気は互いに中和されてしまう。

【0011】 したがって、各信号線との間に介在されている絶縁膜間に高電圧が発生しないことから、その絶縁破壊を十分に防止できることになる。

【0012】 ここで、透明基板のその周辺部を除去するための切断は、各品種に合ったサイズに小さくするために通常行われているもので、液晶表示基板の完成に近い工程でなされる。

【0013】 このために、液晶表示基板の完成に到るまで絶縁膜の静電破壊を生じさせることなく、走査信号線および映像信号線の形成に信頼性をもたせることができるようになる。

## 【0014】

【実施例】本発明、本発明の更に他の目的及び本発明の更に他の特徴は図面を参照した以下の説明から明らかとなるであろう。

【0015】《アクティブ・マトリクス液晶表示装置》以下、アクティブ・マトリクス方式のカラー液晶表示装置にこの発明を適用した実施例を説明する。なお、以下説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0016】《マトリクス部の概要》図3はこの発明が適用されるアクティブ・マトリクス方式カラー液晶表示装置の一画素とその周辺を示す平面図、図4は図3の3-3切断線における断面を示す図、図5は図3の4-4切断線における断面図である。

【0017】図3に示すように、各画素は隣接する2本の走査信号線（ゲート信号線または水平信号線）GLと、隣接する2本の映像信号線（ドレイン信号線または垂直信号線）DLとの交差領域内（4本の信号線で囲まれた領域内）に配置されている。各画素は薄膜トランジスタTFT、透明画素電極ITO1および保持容量素子Caddを含む。走査信号線GLは図では左右方向に延在し、上下方向に複数本配置されている。映像信号線DLは上下方向に延在し、左右方向に複数本配置されている。

【0018】図4に示すように、液晶層LCを基準にして下部透明ガラス基板SUB1側には薄膜トランジスタTFTおよび透明画素電極ITO1が形成され、上部透明ガラス基板SUB2側にはカラーフィルタFIL、遮光用ブラックマトリクスパターンBMが形成されている。透明ガラス基板SUB1、SUB2の両面にはディップ処理等によって形成された酸化シリコン膜SIOが設けられている。

【0019】上部透明ガラス基板SUB2の内側（液晶LC側）の表面には、遮光膜BM、カラーフィルタFIL、保護膜PSV2、共通透明画素電極ITO2（COM）および上部配向膜ORI2が順次積層して設けられている。

【0020】《マトリクス周辺の概要》図6は上下のガラス基板SUB1、SUB2を含む表示パネルPNLのマトリクス（AR）周辺の要部平面を、図7はその周辺部を更に誇張した平面を、図8は図6及び図7のパネル左上角部に対応するシール部SL付近の拡大平面を示す図である。また、図9は図4の断面を中央にして、左側に図8の8a-8a切断線における断面を、右側に映像信号駆動回路が接続されるべき外部接続端子DTM付近の断面を示す図である。同様に図10は、左側に走査回路が接続されるべき外部接続端子GTM付近の断面を、右側に外部接続端子が無いところのシール部付近の断面を示す図である。

【0021】このパネルの製造では、小さいサイズであればスルーブット向上のため1枚のガラス基板で複数個

分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のためどの品種でも標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくし、いずれの場合も一通りの工程を経てからガラスを切断する。図6～図8は後者の例を示すもので、図6、図7の両図とも上下基板SUB1、SUB2の切断後を、図8は切断前を表しており、LNは両基板の切断前の縁を、CT1とCT2はそれぞれ基板SUB1、SUB2の切断すべき位置を示す。いずれの場合も、完成状態では外部接続端子群Tg、Td（添字略）が存在する（図で上下辺と左辺の）部分はそれらを露出するように上側基板SUB2の大きさが下側基板SUB1よりも内側に制限されている。端子群Tg、Tdはそれぞれ後述する走査回路接続用端子GTM、映像信号回路接続用端子DTMとそれらの引出配線部を集積回路チップCHIが搭載されたテープキャリアパッケージTCP（図19、図20）の単位に複数本まとめて名付けたものである。各群のマトリクス部から外部接続端子部に至るまでの引出配線は、両端に近づくにつれ傾斜している。これは、パッケージTCPの配列ピッチ及び各パッケージTCPにおける接続端子ピッチに表示パネルPNLの端子DTM、GTMを合わせるためである。

【0022】透明ガラス基板SUB1、SUB2の間にはその縁に沿って、液晶封入口INJを除き、液晶LCを封止するようにシールパターンSLが形成される。シール材は例えばエポキシ樹脂から成る。上部透明ガラス基板SUB2側の共通透明画素電極ITO2は、少なくとも一箇所において、本実施例ではパネルの4角で銀ペースト材AGPによって下部透明ガラス基板SUB1側に形成されたその引出配線INTに接続されている。この引出配線INTは後述するゲート端子GTM、ドレイン端子DTMと同一製造工程で形成される。

【0023】配向膜ORI1、ORI2、透明画素電極ITO1、共通透明画素電極ITO2、それぞれの層は、シールパターンSLの内側に形成される。偏光板POL1、POL2はそれぞれ下部透明ガラス基板SUB1、上部透明ガラス基板SUB2の外側の表面に形成されている。液晶LCは液晶分子の向きを設定する下部配向膜ORI1と上部配向膜ORI2との間でシールパターンSLで仕切られた領域に封入されている。下部配向膜ORI1は下部透明ガラス基板SUB1側の保護膜PSV1の上部に形成される。

【0024】この液晶表示装置は、下部透明ガラス基板SUB1側、上部透明ガラス基板SUB2側で別個に種々の層を積み重ね、シールパターンSLを基板SUB2側に形成し、下部透明ガラス基板SUB1と上部透明ガラス基板SUB2とを重ね合わせ、シール材SLの開口部INJから液晶LCを注入し、注入口INJをエポキシ樹脂などで封止し、上下基板を切断することによって組み立てられる。

【0025】《薄膜トランジスタTFT》次に、図3、図4に戻り、TFT基板SUB1側の構成を詳しく説明する。

【0026】薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソースドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

【0027】各画素には複数(2つ)の薄膜トランジスタTFT1、TFT2が冗長して設けられる。薄膜トランジスタTFT1、TFT2のそれぞれは、実質的に同一サイズ(チャネル長、チャネル幅が同じ)で構成され、ゲート電極GT、ゲート絶縁膜GI、i型(真性、intrinsic、導電型決定不純物がドーピングされていない)非晶質シリコン(Si)からなるi型半導体層AS、一対のソース電極SD1、ドレイン電極SD2を有す。なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。

【0028】《ゲート電極GT》ゲート電極GTは走査信号線GLから垂直方向に突出する形状で構成されている(T字形状に分岐されている)。ゲート電極GTは薄膜トランジスタTFT1、TFT2のそれぞれの能動領域を越えるよう突出している。薄膜トランジスタTFT1、TFT2のそれぞれのゲート電極GTは、一体に(共通のゲート電極として)構成されており、走査信号線GLに連続して形成されている。本例では、ゲート電極GTは、単層の第2導電膜g2で形成されている。第2導電膜g2としては例えばスパッタで形成されたアルミニウム(Al)膜が用いられ、その上にはAlの陽極酸化膜AOFが設けられている。

【0029】このゲート電極GTはi型半導体層ASを完全に覆うよう(下方からみて)それより大き目に形成され、i型半導体層ASに外光やバックライト光が当たらないよう工夫されている。

【0030】《走査信号線GL》走査信号線GLは第2導電膜g2で構成されている。この走査信号線GLの第2導電膜g2はゲート電極GTの第2導電膜g2と同一製造工程で形成され、かつ一体に構成されている。また、走査信号線GL上にもAlの陽極酸化膜AOFが設けられている。

【0031】《絶縁膜GI》絶縁膜GIは、薄膜トランジスタTFT1、TFT2において、ゲート電極GTと共に半導体層ASに電界を与えるためのゲート絶縁膜として使用される。絶縁膜GIはゲート電極GTおよび走査信号線GLの上層に形成されている。絶縁膜GIとしては例えばプラズマCVDで形成された窒化シリコン膜が選ばれ、1200~2700Åの厚さに(本実施例で

は、2000Å程度)形成される。ゲート絶縁膜GIは図7に示すように、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM、GTMを露出するよう除去されている。絶縁膜GIは走査信号線GLと映像信号線DLの電氣的絶縁にも寄与している。

【0032】《i型半導体層AS》i型半導体層ASは、本例では薄膜トランジスタTFT1、TFT2のそれぞれに独立した島となるよう形成され、非晶質シリコンで、200~2200Åの厚さに(本実施例では、2000Å程度の膜厚)で形成される。層d0はオーミックコンタクト用のリン(P)をドーピングしたN(+)型非晶質シリコン半導体層であり、下側にi型半導体層ASが存在し、上側に導電層d2(d3)が存在するところのみに残されている。

【0033】i型半導体層ASは走査信号線GLと映像信号線DLとの交差部(クロスオーバー部)の両者間にも設けられている。この交差部のi型半導体層ASは交差部における走査信号線GLと映像信号線DLとの短絡を低減する。

【0034】《透明画素電極ITO1》透明画素電極ITO1は液晶表示部の画素電極の一方を構成する。

【0035】透明画素電極ITO1は薄膜トランジスタTFT1のソース電極SD1および薄膜トランジスタTFT2のソース電極SD1の両方に接続されている。このため、薄膜トランジスタTFT1、TFT2のうちの1つに欠陥が発生しても、その欠陥が副作用をもたらす場合はレーザ光等によって適切な箇所を切断し、そうでない場合は他方の薄膜トランジスタが正常に動作しているので放置すれば良い。透明画素電極ITO1は第1導電膜d1によって構成されており、この第1導電膜d1はスパッタリングで形成された透明導電膜(Indium-Tin-Oxide ITO:ネサ膜)からなり、1000~2000Åの厚さに(本実施例では、1400Å程度の膜厚)形成される。

【0036】《ソース電極SD1、ドレイン電極SD2》ソース電極SD1、ドレイン電極SD2のそれぞれは、N(+)型半導体層d0に接触する第2導電膜d2とその上に形成された第3導電膜d3とから構成されている。

【0037】第2導電膜d2はスパッタで形成したクロム(Cr)膜を用い、500~1000Åの厚さに(本実施例では、600Å程度)で形成される。Cr膜は膜厚を厚く形成するとストレスが大きくなるので、2000Å程度の膜厚を越えない範囲で形成する。Cr膜はN(+)型半導体層d0との接着性を良好にし、第3導電膜d3のAlがN(+)型半導体層d0に拡散することを防止する(いわゆるバリア層の)目的で使用される。第2導電膜d2として、Cr膜の他に高融点金属(Mo、Ti、Ta、W)膜、高融点金属シリサイド(MoS<sub>2</sub>、TiSi<sub>2</sub>、TaSi<sub>2</sub>、WSi<sub>2</sub>)膜を用いてもよ

い。

【0038】第3導電膜d3はA1のスパッタリングで3000~5000Åの厚さに（本実施例では、4000Å程度）形成される。A1膜はCr膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極SD1、ドレイン電極SD2および映像信号線DLの抵抗値を低減したり、ゲート電極GTやi型半導体層ASに起因する段差乗り越えを確実にする（ステップカバレッジを良くする）働きがある。

【0039】第2導電膜d2、第3導電膜d3を同じマス10クパターンでパターニングした後、同じマスクを用いて、あるいは第2導電膜d2、第3導電膜d3をマスクとして、N(+)型半導体層d0が除去される。つまり、i型半導体層AS上に残っていたN(+)型半導体層d0は第2導電膜d2、第3導電膜d3以外の部分がセルフアラインで除去される。このとき、N(+)型半導体層d0はその厚さは全て除去されるようエッチングされるので、i型半導体層ASも若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。

【0040】《映像信号線DL》映像信号線DLはソース電極SD1、ドレイン電極SD2と同層の第2導電膜d2、第3導電膜d3で構成されている。

【0041】《保護膜PSV1》薄膜トランジスタTFTおよび透明画素電極ITO1上には保護膜PSV1が設けられている。保護膜PSV1は主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1はたとえばプラズマCVD装置で形成した酸化シリコン膜や窒化シリコン膜で形成されており、1μ30m程度の膜厚で形成する。

【0042】保護膜PSV1は図8に示すように、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM、GTMを露出するよう除去され、また上基板側SUB2の共通電極COMを下側基板SUB1の外部接続端子接続用引出配線INTに銀ペーストAGPで接続する部分も除去されている。保護膜PSV1とゲート絶縁膜GIの厚さ関係に関しては、前者は保護効果を考え厚くされ、後者はトランジスタの相互コンダクタンスgmを薄くされる。従って図8に示すように、40保護効果の高い保護膜PSV1は周辺部もできるだけ広い範囲に亘って保護するようゲート絶縁膜GIよりも大きく形成されている。

【0043】《遮光膜BM》上部透明ガラス基板SUB2側には、外部光又はバックライト光がi型半導体層ASに入射しないよう遮光膜BMが設けられている。図3に示す遮光膜BMの閉じた多角形の輪郭線は、その内側が遮光膜BMが形成されない開口を示している。遮光膜BMは光に対する遮蔽性が高いたとえばアルミニウム膜やクロム膜等で形成されており、本実施例ではクロム膜50

がスパッタリングで1300Å程度の厚さに形成される。

【0044】従って、薄膜トランジスタTFT1、TFT2のi型半導体層ASは上下にある遮光膜BMおよび大き目のゲート電極GTによってサンドイッチにされ、外部の自然光やバックライト光が当たらなくなる。遮光膜BMは各画素の周囲に格子状に形成され（いわゆるブラックマトリクス）、この格子で1画素の有効表示領域が仕切られている。従って、各画素の輪郭が遮光膜BMによってはっきりとし、コントラストが向上する。つまり、遮光膜BMはi型半導体層ASに対する遮光とブラックマトリクスとの2つの機能をもつ。

【0045】透明画素電極ITO1のラビング方向の根本側のエッジ部分（図2右下部分）も遮光膜BMによって遮光されているので、上記部分にドメインが発生したとしても、ドメインが見えないので、表示特性が劣化することはない。

【0046】遮光膜BMは図7に示すように周辺部にも額縁状に形成され、そのパターンはドット状に複数の開口を設けた図3に示すマトリクス部のパターンと連続して形成されている。周辺部の遮光膜BMは図7~図10に示すように、シール部SLの外側に延長され、パソコン等の実装機に起因する反射光等の漏れ光がマトリクス部に入り込むのを防いでいる。他方、この遮光膜BMは基板SUB2の縁よりも約0.3~1.0mm程内側に留められ、基板SUB2の切断領域を避けて形成されている。

【0047】《カラーフィルタFIL》カラーフィルタFILは画素に対向する位置に赤、緑、青の繰り返しでストライプ状に形成される。カラーフィルタFILは透明画素電極ITO1の全てを覆うように大き目に形成され、遮光膜BMはカラーフィルタFILおよび透明画素電極ITO1のエッジ部分と重なるよう透明画素電極ITO1の周縁部より内側に形成されている。

【0048】カラーフィルタFILは次のように形成することができる。まず、上部透明ガラス基板SUB2の表面にアクリル系樹脂等の染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタRを形成する。つぎに、同様な工程を施すことによって、緑色フィルタG、青色フィルタBを順次形成する。

【0049】《保護膜PSV2》保護膜PSV2はカラーフィルタFILの染料が液晶LCに漏れることを防止するために設けられている。保護膜PSV2はたとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

【0050】《共通透明画素電極ITO2》共通透明画素電極ITO2は、下部透明ガラス基板SUB1側に画素ごとに設けられた透明画素電極ITO1に対向し、液

晶LCの光学的な状態は各画素電極ITO1と共通透明画素電極ITO2との間の電位差(電界)に依存して変化する。この共通透明画素電極ITO2にはコモン電圧Vcomが印加されるように構成されている。本実施例では、コモン電圧Vcomは映像信号線DLに印加される最小レベルの駆動電圧Vdminと最大レベルの駆動電圧Vdmaxとの中間直流電位に設定されるが、映像信号駆動回路で使用される集積回路の電源電圧を約半分に低減したい場合は、交流電圧を印加すれば良い。なお、共通透明画素電極ITO2の平面形状は図7、図8を参照されたい。

【0051】《保持容量素子Caddの構造》透明画素電極ITO1は、薄膜トランジスタTFTと接続される端部と反対側の端部において、隣りの走査信号線GLと重なるように形成されている。この重ね合わせは、図5からも明らかなように、透明画素電極ITO1を一方の電極PL2とし、隣りの走査信号線GLを他方の電極PL1とする保持容量素子(静電容量素子)Caddを構成する。この保持容量素子Caddの誘電体膜は、薄膜トランジスタTFTのゲート絶縁膜として使用される絶縁膜GIおよび陽極酸化膜AOFで構成されている。

【0052】保持容量素子Caddは走査信号線GLの第2導電膜g2の幅を広げた部分に形成されている。なお、映像信号線DLと交差する部分の第2導電膜g2は映像信号線DLとの短絡の確率を小さくするため細くされている。

【0053】保持容量素子Caddの電極PL1の段差部において透明画素電極ITO1が断線しても、その段差をまたがるように形成された第2導電膜d2および第3導電膜d3で構成された島領域によってその不良は補償される。

【0054】《ゲート端子部》図11は表示マトリクスの走査信号線GLからその外部接続端子GTMまでの接続構造を示す図であり、(A)は平面であり(B)は(A)のB-B切断線における断面を示している。なお、同図は図8下方付近に対応し、斜め配線の部分は便宜状一直線状で表した。

【0055】AOは写真処理用のマスクパターン、言い換えれば選択的陽極酸化のホトレジストパターンである。従って、このホトレジストは陽極酸化後除去され、図に示すパターンAOは完成品としては残らないが、ゲート配線GLには断面図に示すように酸化膜AOFが選択的に形成されるのでその軌跡が残る。平面図において、ホトレジストの境界線AOを基準にして左側はレジストで覆い陽極酸化をしない領域、右側はレジストから露出され陽極酸化される領域である。陽極酸化されたAL層g2は表面にその酸化物Al<sub>2</sub>O<sub>3</sub>膜AOFが形成され下方の導電部は体積が減少する。勿論、陽極酸化はその導電部が残るように適切な時間、電圧などを設定して行われる。マスクパターンAOは走査線GLに単一の直

線では交差せず、クランク状に折れ曲がって交差させている。

【0056】図中AL層g2は、判り易くするためハッチを施してあるが、陽極化成されない領域は櫛状にパターンニングされている。これは、AL層の幅が広いと表面にホイスカが発生するので、1本1本の幅は狭くし、それらを複数本並列に束ねた構成とすることにより、ホイスカの発生を防ぎつつ、断線の確率や導電率の犠牲を最低限に押さえる狙いである。従って、本例では櫛の根本に相当する部分もマスクAOに沿ってずらしている。

【0057】ゲート端子GTMは酸化珪素SiO層と接着性が良くAl等よりも耐電触性の高いCr層g1と、更にその表面を保護し画素電極ITO1と同レベル(同層、同時形成)の透明導電層d1とで構成されている。なお、ゲート絶縁膜GI上及びその側面部に形成された導電層d2及びd3は、導電層d3やd2のエッチング時ピンホール等が原因で導電層g2やg1と一緒にエッチングされないようその領域をホトレジストで覆っていた結果として残っているものである。又、ゲート絶縁膜GIを乗り越えて右方向に延長されたITO層d1は同様な対策を更に万全とさせたものである。

【0058】平面図において、ゲート絶縁膜GIはその境界線よりも右側に、保護膜PSV1もその境界線よりも右側に形成されており、左端に位置する端子部GTMはそれらから露出し外部回路との電気的接触ができるようになっている。図では、ゲート線GLとゲート端子の一つの対のみが示されているが、実際はこのような対が図8に示すように上下に複数本並べられ端子群Tg(図7、図8)が構成され、ゲート端子の左端は、製造過程では、基板の切断領域CT1を越えて延長され配線SHgによって短絡される。製造過程におけるこのような短絡線SHgは陽極化成時の給電と、配向膜ORI1のラビング時等の静電破壊防止に役立つ。

【0059】《ドレイン端子DTM》図12は映像信号線DLからその外部接続端子DTMまでの接続を示す図であり、(A)はその平面を示し、(B)は(A)のB-B切断線における断面を示す。なお、同図は図8右上付近に対応し、図面の向きは便宜上変えてあるが右端方向が基板SUB1の上端部(又は下端部)に該当する。

【0060】TSTdは検査端子でありここには外部回路は接続されないが、プローブ針等を接触できるよう配線部より幅が広げられている。同様に、ドレイン端子DTMも外部回路との接続ができるよう配線部より幅が広げられている。検査端子TSTdと外部接続ドレイン端子DTMは上下方向に千鳥状に複数交互に配列され、検査端子TSTdは図に示すとおり基板SUB1の端部に到達することなく終端しているが、ドレイン端子DTMは、図8に示すように端子群Td(添字省略)を構成し基板SUB1の切断線CT1を越えて更に延長され、製造過程では静電破壊防止のためその全てが互いに配線S

Hdによって短絡される。検査端子TSTdが存在する映像信号線DLのマトリクスを挟んで反対側にはドレイン接続端子が接続され、逆にドレイン接続端子DTMが存在する映像信号線DLのマトリクスを挟んで反対側には検査端子が接続される。

【0061】ドレイン接続端子DTMは前述したゲート端子GTMと同様な理由でCr層g1及びITO層d1の2層で形成されており、ゲート絶縁膜GIを除去した部分で映像信号線DLと接続されている。ゲート絶縁膜GIの端部に形成された半導体層ASはゲート絶縁膜GIの縁をテーパ状にエッチングするためのものである。端子DTM上では外部回路との接続を行うため保護膜PSV1は勿論のこと取り除かれている。AOは前述した陽極酸化マスクでありその境界線はマトリクス全体を大きく囲むように形成され、図ではその境界線から左側がマスクで覆われるが、この図で覆われない部分には層g2が存在しないのでこのパターンは直接は関係しない。

【0062】マトリクス部からドレイン端子部DTMまでの引出配線は図9の(C)部にも示されるように、ドレイン端子部DTMと同じレベルの層d1、g1のすぐ上に映像信号線DLと同じレベルの層d2、d3がシールパターンSLの途中まで積層された構造になっているが、これは断線の確率を最小限に押さえ、電触し易いA1層d3を保護膜PSV1やシールパターンSLでできるだけ保護する狙いである。

【0063】《配線SHg、SHdの製造方法》ここで、基板の切断領域CT1を越えて延長された配線SHg、SHdの製造方法の一実施例について、図1を用いて説明する。

【0064】図1は図7に対応する図であり、配線SHgは、端子群TgおよびゲートGTとともに同工程でガラス基板SUB1面に形成される。

【0065】また、その後、ゲート絶縁膜GIの形成とともに同工程で切断領域CT1を越えた領域にもSiN膜を形成する。この際に、該SiN膜の選択エッチングによってゲート絶縁膜GIを形成すると同時に該配線SHgの両端の一部を露呈させるコンタクトを形成する。

【0066】さらに、ソース電極SD1、ドレイン電極SD2および端子群Td(e)とともに配線SHdを形成し、この際に、この配線SHdは前記コンタクトを介して配線SHgと互いに電氣的接続が図れるようになる。

【0067】図2(a)は、図1のIIa-IIa線における断面図を示した図である。

【0068】このように配線SHg、SHdを形成することによってガラス基板SUB1に静電気が発生し、この静電気によって走査信号線Xと映像信号線Yとの間の絶縁膜に高電圧が印加されるような状態となっても、その前段階で走査信号線Xと映像信号線Yが電氣的に短絡

し、これら各信号線X、Yに発生した静電気は互いに中和されてしまうことになる。

【0069】したがって、各信号線X、Yとの間に介在されている絶縁膜間に高電圧が発生しないことから、その絶縁破壊を十分に防止できることになる。

【0070】ここで、ガラスSUB1基板のその周辺部(切断領域CT1)を除去するための切断は、各品種に合ったサイズに小さくするために通常行われているもので、液晶表示基板の完成に近い工程でなされる。

【0071】このために、液晶表示基板の完成に到るまで絶縁膜の静電破壊を生じさせることなく、走査信号線Xおよび映像信号線Yの形成に信頼性をもたせることができるようになる。

【0072】なお、上記実施例では、配線SHg、SHdをコンタクトの部分で互いに接触させた状態で電氣的短絡を図っているものであるが、図2(b)に示すように、半導体層ASを介在させるようにしてもよいことはいうまでもない。

【0073】《表示装置全体等価回路》表示マトリクス部の等価回路とその周辺回路の結線図を図13に示す。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。ARは複数の画素を二次元状に配列したマトリクス・アレイである。

【0074】図中、Xは映像信号線DLを意味し、添字G、BおよびRがそれぞれ緑、青および赤画素に対応して付加されている。Yは走査信号線GLを意味し、添字1、2、3、…、endは走査タイミングの順序に従って付加されている。

【0075】映像信号線X(添字省略)は交互に上側(または奇数)映像信号駆動回路He、下側(または偶数)映像信号駆動回路Hoに接続されている。

【0076】走査信号線Y(添字省略)は垂直走査回路Vに接続されている。

【0077】SUPは1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト(上位演算処理装置)からのCRT(陰極線管)用の情報をTFT液晶表示装置用の情報に交換する回路を含む回路である。

【0078】《保持容量素子Caddの働き》保持容量素子Caddは、薄膜トランジスタTFTがスイッチングするとき、中点電位(画素電極電位)Vlcに対するゲート電位変化ΔVgの影響を低減するように働く。この様子を式で表すと、次のようになる。

【0079】

$$\Delta V_{lc} = \{C_{gs} / (C_{gs} + C_{add} + C_{pix})\} \times \Delta V_g$$

ここで、Cgsは薄膜トランジスタTFTのゲート電極GTとソース電極SD1との間に形成される寄生容量、Cpixは透明画素電極ITO1(PIX)と共通透明画素電極ITO2(COM)との間に形成される容量、ΔVlcはΔVgによる画素電極電位の変化分を表わす。この

変化分 $\Delta V_{lc}$ は液晶LCに加わる直流成分の原因となるが、保持容量 $C_{add}$ を大きくすればする程、その値を小さくすることができる。また、保持容量素子 $C_{add}$ は放電時間を長くする作用もあり、薄膜トランジスタTFTがオフした後の映像情報を長く蓄積する。液晶LCに印加される直流成分の低減は、液晶LCの寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

【0080】前述したように、ゲート電極GTはi型半導体層ASを完全に覆うよう大きくされている分、ソース電極SD1、ドレイン電極SD2とのオーバーラップ面積が増え、従って寄生容量 $C_{gs}$ が大きくなり、中点電位 $V_{lc}$ はゲート（走査）信号 $V_g$ の影響を受け易くなるという逆効果が生じる。しかし、保持容量素子 $C_{add}$ を設けることによりこのデメリットも解消することができる。

【0081】保持容量素子 $C_{add}$ の保持容量は、画素の書込特性から、液晶容量 $C_{pix}$ に対して4~8倍（ $4 \cdot C_{pix} < C_{add} < 8 \cdot C_{pix}$ ）、寄生容量 $C_{gs}$ に対して8~32倍（ $8 \cdot C_{gs} < C_{add} < 32 \cdot C_{gs}$ ）程度の値に設定する。

【0082】保持容量電極線としてのみ使用される初段の走査信号線GL（ $Y_0$ ）は共通透明画素電極ITO2（ $V_{com}$ ）と同じ電位にする。図8の例では、初段の走査信号線は端子GT0、引出線INT、端子DT0及び外部配線を通じて共通電極COMに短絡される。或いは、初段の保持容量電極線 $Y_0$ は最終段の走査信号線 $Y_{end}$ に接続、 $V_{com}$ 以外の直流電位点（交流接地点）に接続するかまたは垂直走査回路Vから1つ余分に走査パルス $Y_0$ を受けるように接続してもよい。

【0083】《製造方法》つぎに、上述した液晶表示装置の基板SUB1側の製造方法について図14~図16を参照して説明する。なお同図において、中央の文字は工程名の略称であり、左側は図4に示す画素部分、右側は図11に示すゲート端子付近の断面形状でみた加工の流れを示す。工程Dを除き工程A~工程Iは各写真処理に対応して区分けしたもので、各工程のいずれの断面図も写真処理後の加工が終わりフォトレジストを除去した段階を示している。なお、写真処理とは本説明ではフォトレジストの塗布からマスクを使用した選択露光を経てそれを現像するまでの一連の作業を示すものとし、繰返しの説明は避ける。以下区分けした工程に従って、説明する。

【0084】工程A、図14

7059ガラス（商品名）からなる下部透明ガラス基板SUB1の両面に酸化シリコン膜SIOをディップ処理により設けたのち、500℃、60分間のベークを行なう。下部透明ガラス基板SUB1上に膜厚が1100Åのクロムからなる第1導電膜g1をスパッタリングにより設け、写真処理後、エッチング液として硝酸第2セリ

ウムアンモニウム溶液で第1導電膜g1を選択的にエッチングする。それによって、ゲート端子GTM、ドレイン端子DTM、ゲート端子GTMを接続する陽極酸化バスラインSHg、ドレイン端子DTMを短絡するバスラインSHd、陽極酸化バスラインSHgに接続された陽極酸化パッド（図示せず）を形成する。

【0085】工程B、図14

膜厚が2800ÅのAl-Pd、Al-Si、Al-Si-Ti、Al-Si-Cu等からなる第2導電膜g2をスパッタリングにより設ける。写真処理後、リン酸と硝酸と氷酢酸との混酸液で第2導電膜g2を選択的にエッチングする。

【0086】工程C、図14

写真処理後（前述した陽極酸化マスクAO形成後）、3%酒石酸をアンモニアによりPH6.25±0.05に調整した溶液をエチレングリコール液で1:9に希釈した液からなる陽極酸化液中に基板SUB1を浸漬し、化成電流密度が0.5mA/cm<sup>2</sup>になるように調整する（定電流化成）。次に所定のAl<sub>2</sub>O<sub>3</sub>膜厚が得られるのに必要な化成電圧125Vに達するまで陽極酸化を行う。その後この状態で数10分保持することが望ましい（定電圧化成）。これは均一なAl<sub>2</sub>O<sub>3</sub>膜を得る上で大事なことである。それによって、導電膜g2を陽極酸化され、走査信号線GL、ゲート電極GTおよび電極PL1上に膜厚が1800Åの陽極酸化膜AOFが形成される。

【0087】工程D、図15

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が2000Åの窒化Si膜を設け、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が2000Åのi型非晶質Si膜を設けたのち、プラズマCVD装置に水素ガス、ホスフィンガスを導入して、膜厚が300ÅのN(+)型非晶質Si膜を設ける。

【0088】工程E、図15

写真処理後、ドライエッチングガスとしてSF<sub>6</sub>、CCl<sub>4</sub>を使用してN(+)型非晶質Si膜、i型非晶質Si膜を選択的にエッチングすることにより、i型半導体層ASの島を形成する。

【0089】工程F、図15

写真処理後、ドライエッチングガスとしてSF<sub>6</sub>を使用して、窒化Si膜を選択的にエッチングする。

【0090】工程G、図16

膜厚が1400ÅのITO膜からなる第1導電膜d1をスパッタリングにより設ける。写真処理後、エッチング液として塩酸と硝酸との混酸液で第1導電膜d1を選択的にエッチングすることにより、ゲート端子GTM、ドレイン端子DTMの最上層および透明画素電極ITO1を形成する。

【0091】工程H、図16

膜厚が600ÅのCrからなる第2導電膜d2をスパッ



タリングにより設け、さらに膜厚が4000ÅのAl-Pd、Al-Si、Al-Si-Ti、Al-Si-Cu等からなる第3導電膜d3をスパッタリングにより設ける。写真処理後、第3導電膜d3を工程Bと同様な液でエッチングし、第2導電膜d2を工程Aと同様な液でエッチングし、映像信号線DL、ソース電極SD1、ドレイン電極SD2を形成する。つぎに、ドライエッチング装置にCCl<sub>4</sub>、SF<sub>6</sub>を導入して、N(+)型非晶質Si膜をエッチングすることにより、ソースとドレイン間のN(+)型半導体層d0を選択的に除去する。

【0092】工程I、図16

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が1μmの窒化Si膜を設ける。写真処理後、ドライエッチングガスとしてSF<sub>6</sub>を使用した写真蝕刻技術で窒化Si膜を選択的にエッチングすることによって、保護膜PSV1を形成する。

【0093】《液晶表示モジュールの全体構成》図17は、液晶表示モジュールMDLの各構成部品を示す分解斜視図である。

【0094】SHDは金属板から成る枠状のシールドケース（メタルフレーム）、LCWその表示窓、PNLは液晶表示パネル、SPBは光拡散板、MFRは中間フレーム、BLはバックライト、BLSはバックライト支持体、LCAは下側ケースであり、図に示すような上下の配置関係で各部材が積み重ねられてモジュールMDLが組み立てられる。

【0095】モジュールMDLは、シールドケースSHDに設けられた爪CLとフックFKによって全体が固定されるようになっている。

【0096】中間フレームMFRは表示窓LCWに対応する開口が設けられるように枠状に形成され、その枠部分には拡散板SPB、バックライト支持体BLS並びに各種回路部品の形状や厚みに応じた凹凸や、放熱用の開口が設けられている。

【0097】下側ケースLCAはバックライト光の反射体も兼ねており、効率のよい反射ができるよう、蛍光管BLに対応して反射山RMが形成されている。

【0098】《表示パネルPNLと駆動回路基板PCB1》図18は、図6等にした表示パネルPNLに映像信号駆動回路He、Hoと垂直走査回路Vを接続した状態を示す上面図である。

【0099】CHIは表示パネルPNLを駆動させる駆動ICチップ（下側の3個は垂直走査回路側の駆動ICチップ、左右の6個ずつは映像信号駆動回路側の駆動ICチップ）である。TCPは図19、図20で後述するように駆動用ICチップCHIがテープ・オートメイト・ボンディング法（TAB）により実装されたテープキャリアパッケージ、PCB1は上記TCPやコンデンサCDS等が実装された駆動回路基板で、3つに分割されている。FGPはフレームグランドパッドであり、

シールドケースSHDに切り込んで設けられたバネ状の破片FGが半田付けされる。FCは下側の駆動回路基板PCB1と左側の駆動回路基板PCB1、および下側の駆動回路基板PCB1と右側の駆動回路基板PCB1とを電気的に接続するフラットケーブルである。フラットケーブルFCとしては図に示すように、複数のリード線（りん青銅の素材にSn鍍金を施したもの）をストライプ状のポリエチレン層とポリビニルアルコール層とでサンドイッチして支持したものを使用する。

10 【0100】《TCPの接続構造》図19は走査信号駆動回路Vや映像信号駆動回路He、Hoを構成する、集積回路チップCHIがフレキシブル配線基板に搭載されたテープキャリアパッケージTCPの断面構造を示す図であり、図20はそれを液晶表示パネルの、本例では映像信号回路用端子DTMに接続した状態を示す要部断面図である。

【0101】同図において、TTBは集積回路CHIの入力端子・配線部であり、TTMは集積回路CHIの出力端子・配線部であり、例えばCuから成り、それぞれの内側の先端部（通称インナーリード）には集積回路CHIのボンディングパッドPADがいわゆるフェースダウンボンディング法により接続される。端子TTB、TTMの外側の先端部（通称アウターリード）はそれぞれ半導体集積回路チップCHIの入力及び出力に対応し、半田付け等によりCRT/TFT変換回路・電源回路SUPに、異方性導電膜ACFによって液晶表示パネルPNLに接続される。パッケージTCPは、その先端部がパネルPNL側の接続端子DTMを露出した保護膜PSV1を覆うようにパネルに接続されており、従って、外部接続端子DTM（GTM）は保護膜PSV1がパッケージTCPの少なくとも一方で覆われるので電触に対して強くなる。

【0102】BF1はポリイミド等からなるベースフィルムであり、SRSは半田付けの際半田が余計なところへつかないようにマスクするためのソルダレジスト膜である。シールドパターンSLの外側の上下ガラス基板の間は洗浄後エポキシ樹脂EPX等により保護され、パッケージTCPと上側基板SUB2の間には更にシリコン樹脂SILが充填され保護が多重化されている。

40 【0103】《駆動回路基板PCB2》中間フレームMFRに保持・収納される液晶表示部LCDの駆動回路基板PCB2は、図21に示すように、L字形をしており、IC、コンデンサ、抵抗等の電子部品が搭載されている。この駆動回路基板PCB2には、1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路や、ホスト（上位演算処理装置）からのCRT（陰極線管）用の情報をTFT液晶表示装置用の情報に変換する回路を含む回路SUPが搭載されている。CJは外部と接続される図示しないコネクタが接続されるコネクタ接続部である。駆動回路基板PCB2とインバータ回

路基板 P C B 3 とはバックライトケーブルにより中間フレーム M F R に設けたコネクタ穴を介して電氣的に接続される。

【0104】 駆動回路基板 P C B 1 と駆動回路基板 P C B 2 とは折り曲げ可能なフラットケーブル F C により電氣的に接続されている。組立て時、駆動回路基板 P C B 2 は、フラットケーブル F C を 180° 折り曲げることに  
より駆動回路基板 P C B 1 の裏側に重ねられ、中間フレーム M F R の所定の凹部に嵌合される。

【0105】

【発明の効果】 以上説明したことから明らかなように、本発明による液晶表示基板の製造方法によれば、その走査信号線および映像信号線の形成に信頼性をもたせるようにできる。

【図面の簡単な説明】

【図 1】 本発明による液晶表示基板の製造方法の一実施例を示す説明図である。

【図 2】 (a) は図 1 の II a - II a 線における断面図、(b) は他の実施例を示す断面図である。

【図 3】 この発明が適用されるアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

【図 4】 図 2 の 3 - 3 切断線における 1 画素とその周辺を示す断面図である。

【図 5】 図 2 の 4 - 4 切断線における付加容量 Cadd の断面図である。

【図 6】 表示パネルのマトリクス周辺部の構成を説明するための平面図である。

【図 7】 図 5 の周辺部をやや誇張し更に具体的に説明するためのパネル平面図である。

【図 8】 上下基板の電氣的接続部を含む表示パネルの角部の拡大平面図である。

【図 9】 マトリクスの画素部を中央に、両側にパネル角付近と映像信号端子部付近を示す断面図である。

【図 10】 左側に走査信号端子、右側に外部接続端子の無いパネル縁部分を示す断面図である。

【図 11】 ゲート端子 G T M とゲート配線 G L の接続部近辺を示す平面と断面の図である。

【図 12】 ドレイン端子 D T M と映像信号線 D L との接続部付近を示す平面と断面の図である。

【図 13】 アクティブ・マトリックス方式のカラー液

晶表示装置のマトリクス部とその周辺を含む回路図である。

【図 14】 基板 S U B 1 側の工程 A ~ C の製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図 15】 基板 S U B 1 側の工程 D ~ F の製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図 16】 基板 S U B 1 側の工程 G ~ I の製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図 17】 液晶表示モジュールの分解斜視図である。

【図 18】 液晶表示パネルに周辺の駆動回路を実装した状態を示す上面図である。

【図 19】 駆動回路を構成する集積回路チップ C H I がフレキシブル配線基板に搭載されたテープキャリアパッケージ T C P の断面構造を示す図である。

【図 20】 テープキャリアパッケージ T C P を液晶表示パネル P N L の映像信号回路用端子 D T M に接続した状態を示す要部断面図である。

【図 21】 周辺駆動回路基板 P C B 1 (上面が見える) と電源回路回路基板 P C B 2 (下面が見える) との接続状態を示す上面図である。

【符号の説明】

S U B … 透明ガラス基板、G L … 走査信号線、D L … 映像信号線

G I … 絶縁膜、G T … ゲート電極、A S … i 型半導体層

S D … ソース電極またはドレイン電極、P S V … 保護膜、B M … 遮光膜

L C … 液晶、T F T … 薄膜トランジスタ、I T O … 透明画素電極

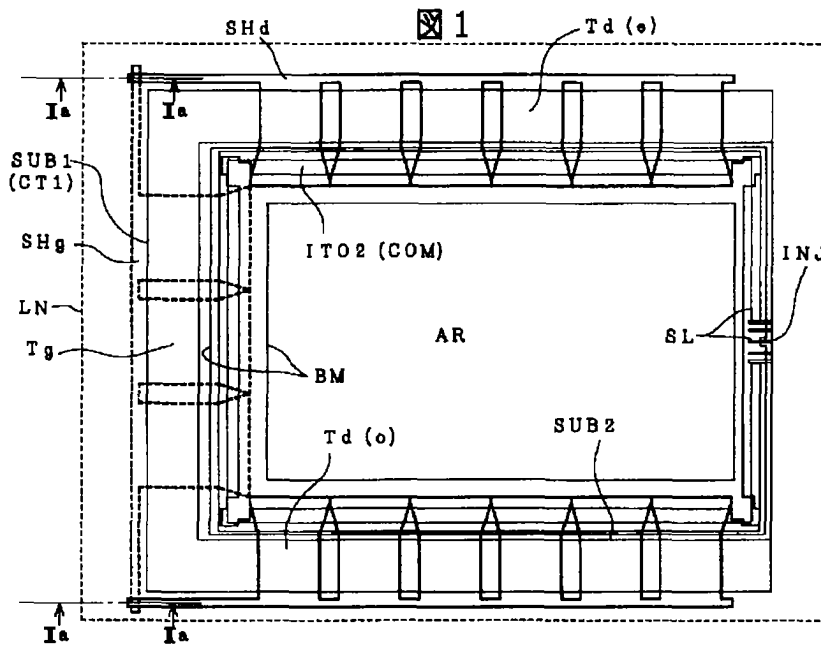
g、d … 導電膜、Cadd … 保持容量素子、A O F … 陽極酸化膜

A O … 陽極酸化マスク、G T M … ゲート端子、D T M … ドレイン端子

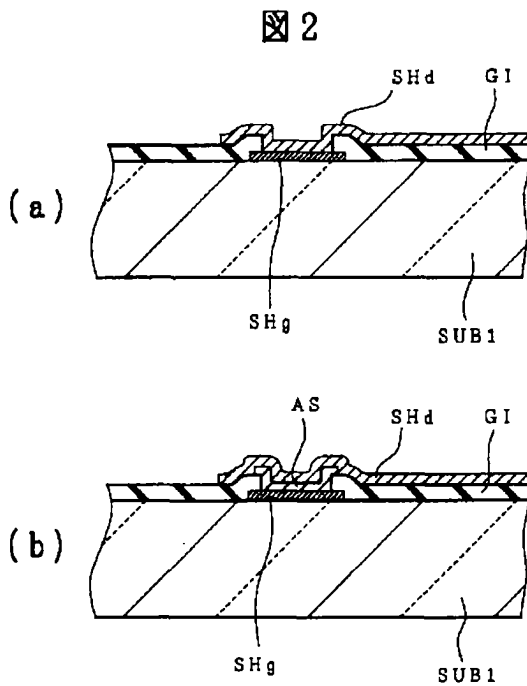
S H D … シールドケース、P N L … 液晶表示パネル、S P B … 光拡散板、M F R … 中間フレーム、B L … バックライト、B L S … バックライト支持体、L C A … 下側ケース、R M … バックライト光反射山、(以上添字省略)。

40

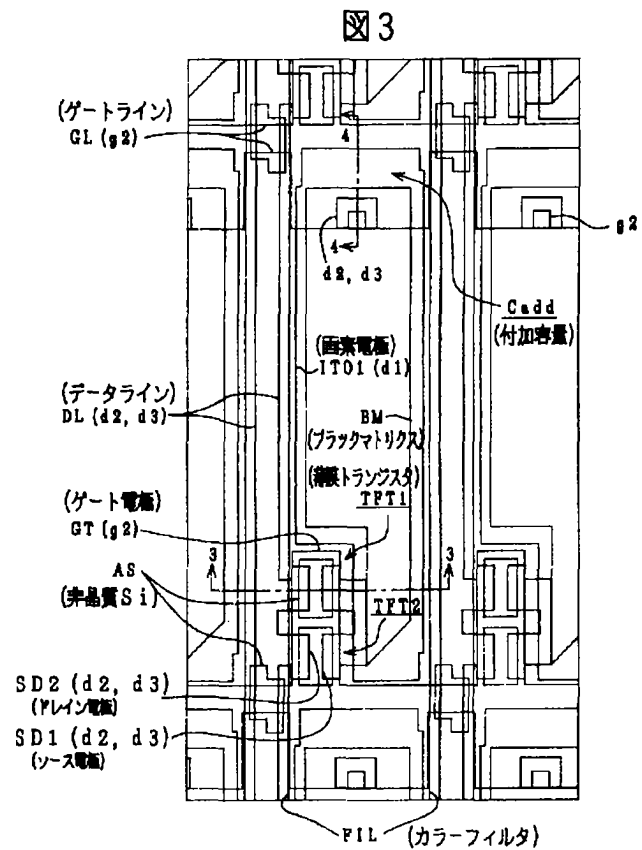
【図 1】



【図 2】

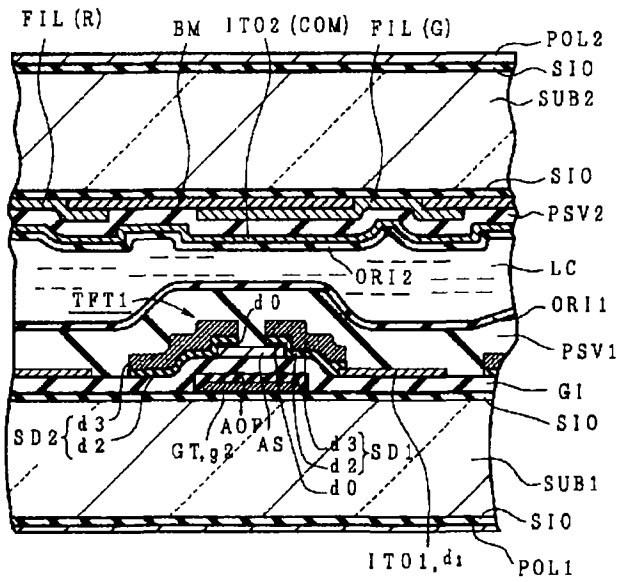


【図 3】



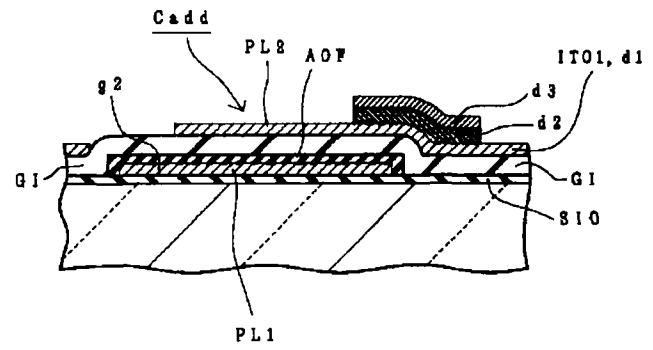
【図4】

図 4



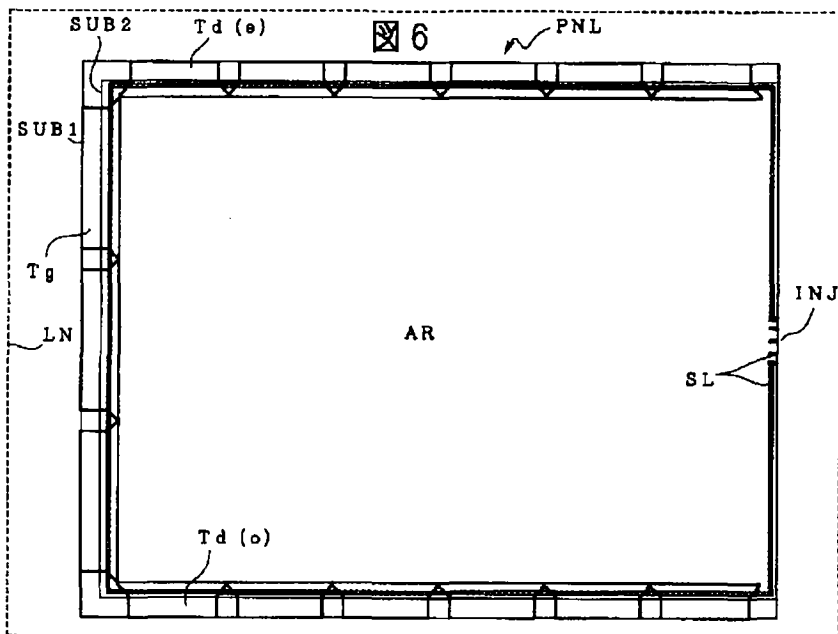
【図5】

図 5

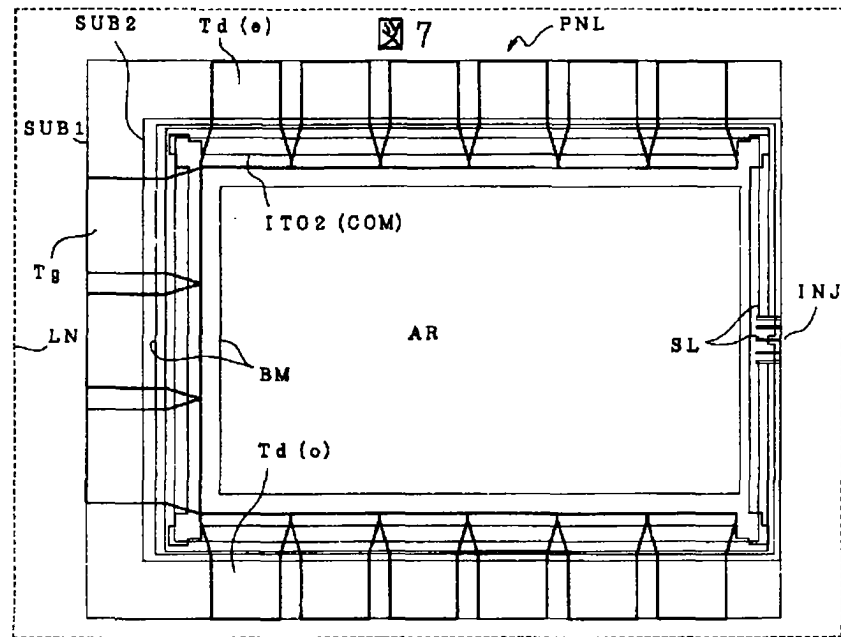


【図6】

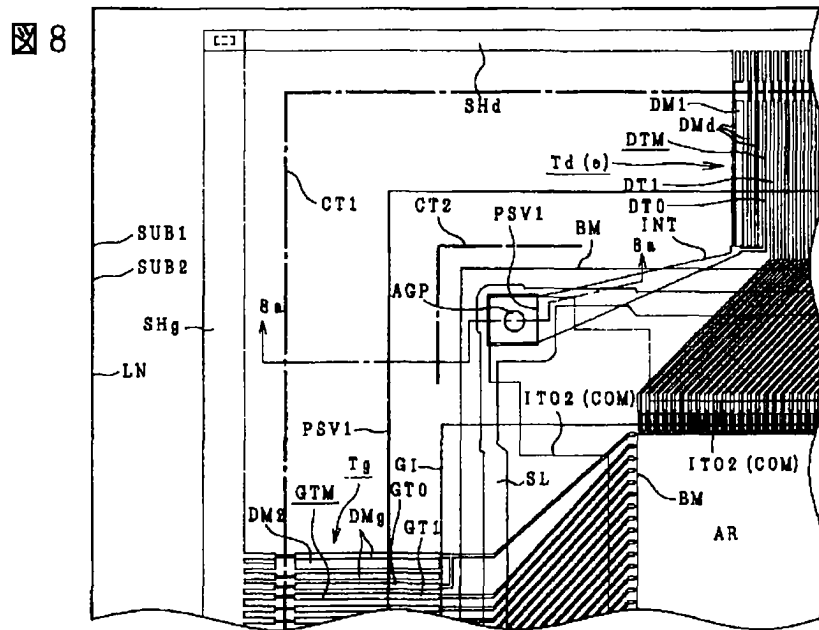
図 6



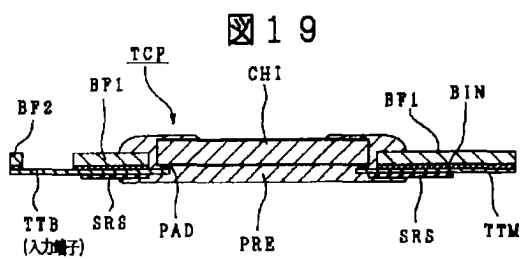
【図 7】



【図 8】

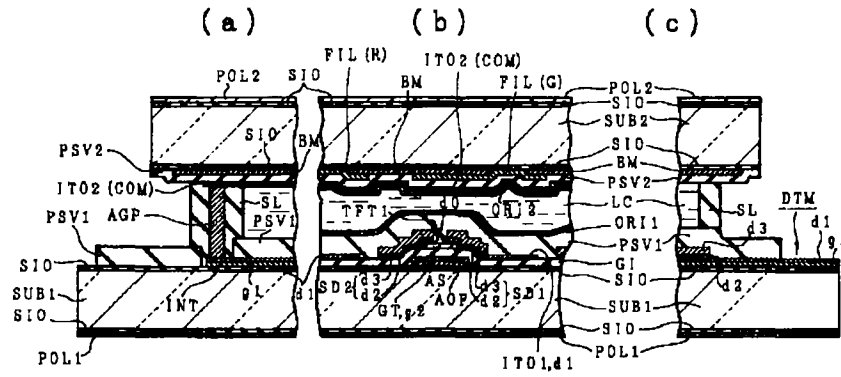


【図 19】



【図9】

図9



【図10】

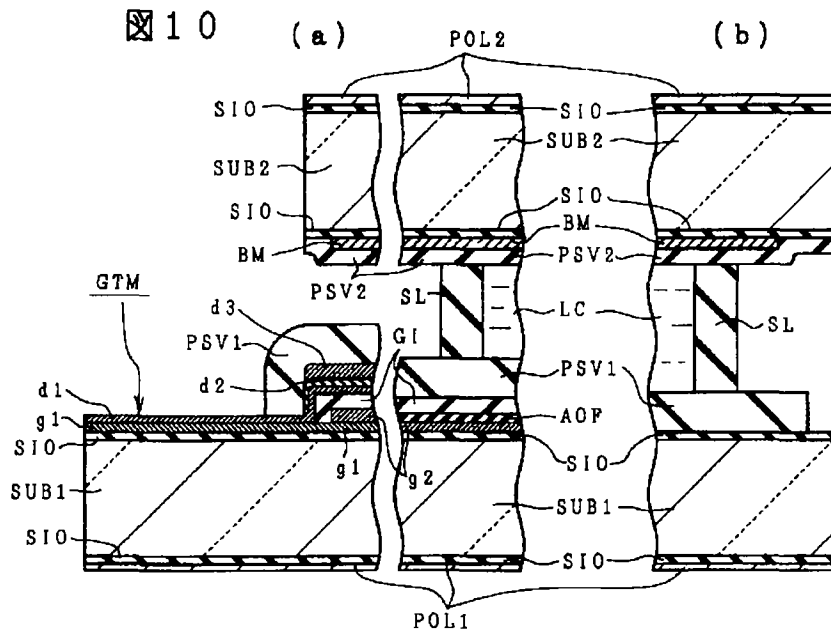


图 11

(A)

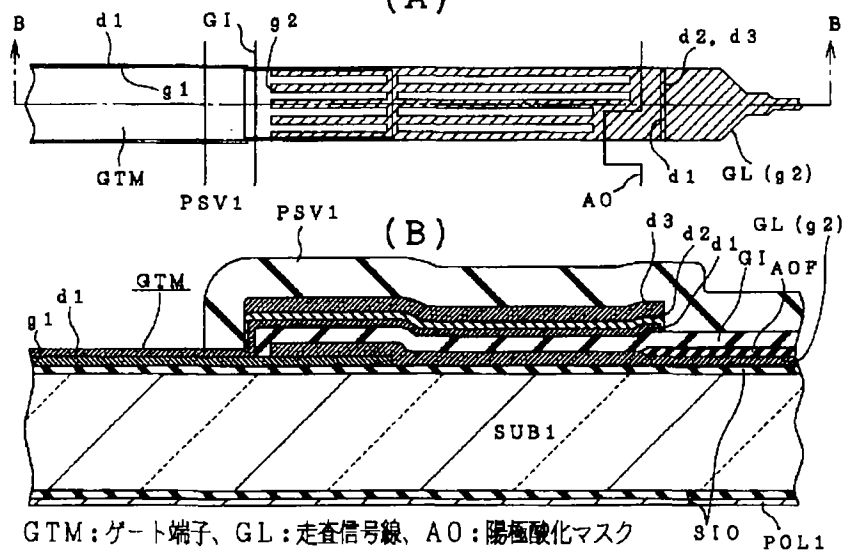
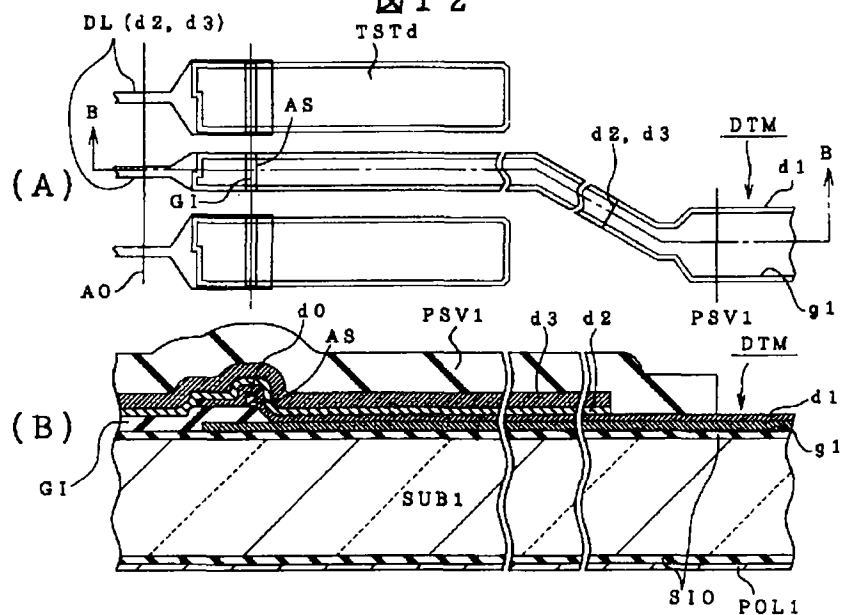
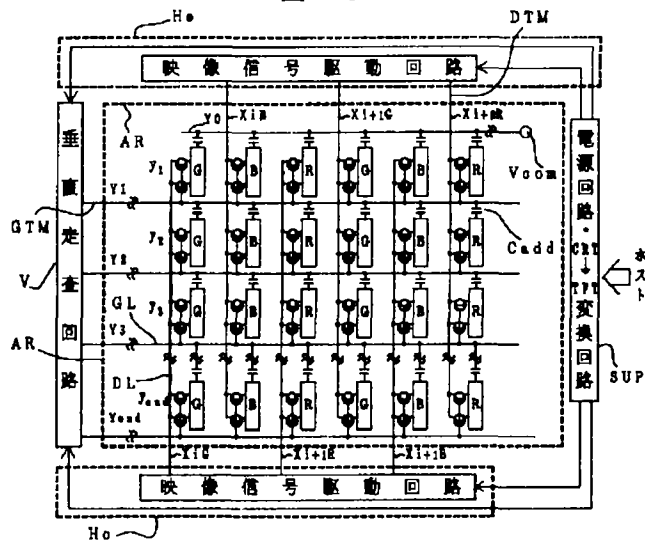


图 12



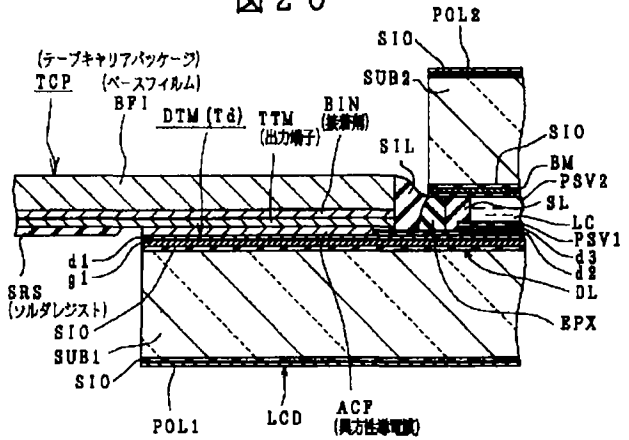
【図13】

図13



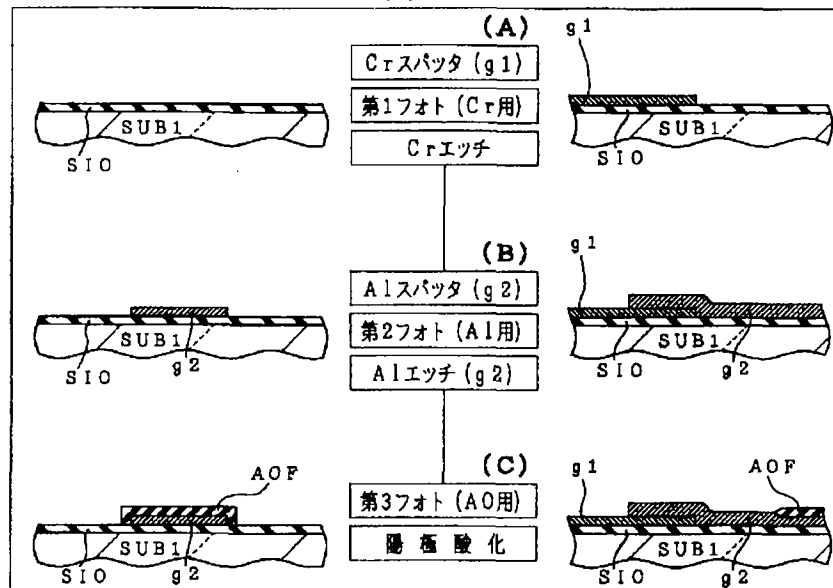
【図20】

図20



【図14】

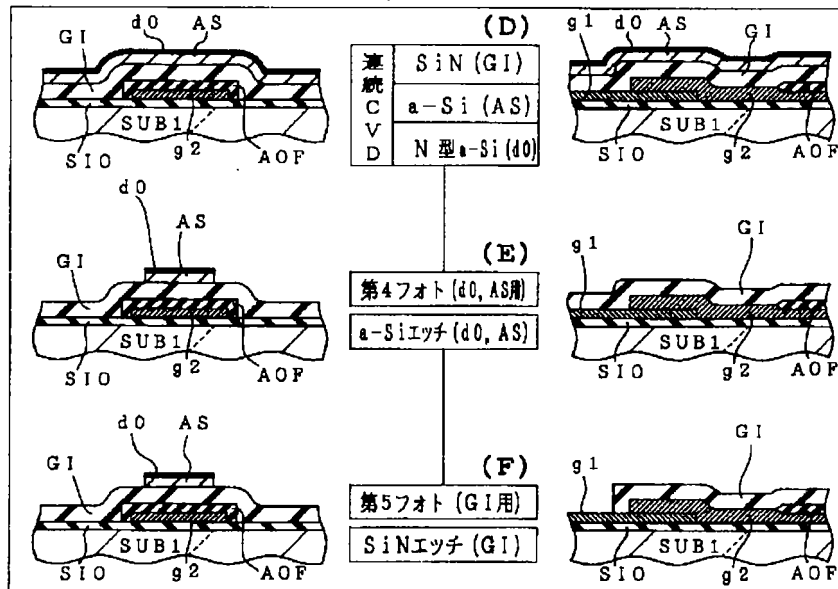
図14





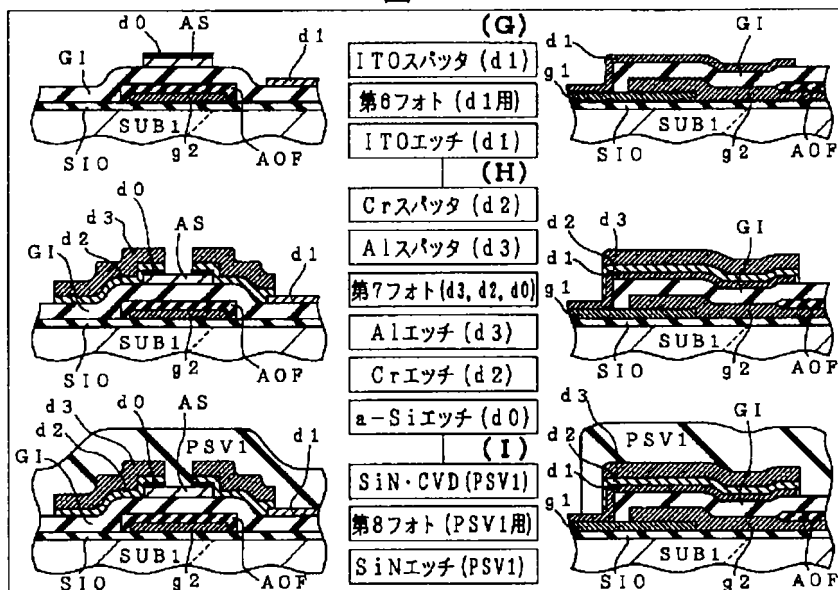
【図 1 5】

図 1 5



【図 1 6】

図 1 6





フロントページの続き

(72)発明者 松田 正昭  
千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内

(72)発明者 堀井 寿一  
千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内

(72)発明者 橋本 雄一  
千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内

(72)発明者 箭内 雅弘  
千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内

(19) Japanese Patent Office (JP)

(12) Publication of Laid-Open Patent Application (A)

(11) Publication Number of Patent Application:

Japanese Patent Laid-Open Publication No. 6-250221

(43) Date of Publication Application:

September 9, 1994

(51) Int. Cl.<sup>5</sup>: G 02 F 1/136, 1/133

Domestic Classification Symbol: 500, 550

JPO File Number: 9018-2K, 9226-2K

FI

Technical Indication Place

Request for Examination: Not requested

Number of Claim: 1

OL

Total 19 pages

(21) Application Number:

Japanese Patent Application No. 5-40034

(22) Date of Filing: March 1, 1993

(71) Applicant: 000005108

Hitachi, Ltd.

4-6 Kanda Surugadai, Chiyoda-ku, Tokyo

(72) Inventor: Minoru HIROSHIMA

c/o Hitachi, Ltd.

Electronic Device Division

3300 Hayano, Mobara-shi, Chiba

(72) Inventor: Ryoji ORITSUKI

c/o Hitachi, Ltd.

Electronic Device Division

3300 Hayano, Mobara-shi, Chiba

(72) Inventor: Kiyao KOZAI

c/o Hitachi, Ltd.

Electronic Device Division

3300 Hayano, Mobara-shi, Chiba

(74) Representative: Patent Attorney Shuki AKITA

Continued to the last page

(54) [Title of the Invention]

Manufacturing method of liquid crystal display substrate

(57) [Abstract]

[Purpose] To form scanning signal lines and video signal lines with high reliability.

[Constitution] This manufacturing method of a liquid crystal display substrate includes a step of forming a first signal line group which extends in the x direction and is juxtaposed in the y direction over a transparent substrate surface, a step of forming a second signal line group which extends in the y direction and is juxtaposed in the x direction with an insulating film between the second signal line group and at least the first signal line group, and a step of cutting the transparent substrate in order to remove a peripheral part thereof. The method mentioned above has a step of forming a first common conductor layer connected to each signal line of the first signal line group and a second common conductor layer connected to each signal line of the second signal line group on the peripheral part of the transparent substrate which are to be removed, and a step of forming means capable of electrostatically short-circuiting the first common conductor layer and the second common conductor layer between these layers.

[Scope of Claims]

[Claim 1] A method for manufacturing a liquid crystal display substrate, comprising the steps of:

forming a first signal line group which extend in a direction and is juxtaposed in a y direction over a transparent substrate surface;

forming a second signal line group which extends in the y direction and is juxtaposed in the x direction with an insulating film between the second signal line group and at least the first signal line group; and

cutting the transparent substrate in order to remove a peripheral part thereof,

wherein the method includes the steps of forming a first common conductor layer connected to each signal line of the first signal line group and a second common conductor layer connected to each signal line of the second signal line group on the peripheral parts of the transparent substrate which are to be removed, and forming means capable of electrostatically short-circuiting the first common conductor layer and the second common conductor layer between these layers.

[Detailed Description of the Invention]

[0001]

[Industrial Field of the Invention] The present invention is of a manufacturing method of a liquid crystal display substrate, and relates to a manufacturing method of a liquid crystal display substrate of active matrix system using a thin film transistor or the like,

for example.

[0002]

[Prior Art] A liquid crystal display device of an active matrix system is provided with nonlinear elements (switching elements) corresponding to each of a plurality of pixel electrodes arranged in a matrix. Since liquid crystal for each pixel is driven constantly (duty ratio 1.0) in theory, the active matrix system can offer better contrast, compared to the so-called simple matrix system which employs time-sharing driving system, therefore it is becoming an essential technique for a color liquid crystal display device especially. A thin film transistor (TFT) is one of the representative examples of a switching element.

[0003] A liquid crystal display substrate with such a structure is provided with a scanning signal line (gate signal line or horizontal signal line) which extends in the x direction and is juxtaposed in the y direction, and a video signal line (drain signal line or vertical signal line) which extends in the y direction and is juxtaposed in the x direction with an insulating film between the video signal line and the scanning signal line. And by driving the thin film transistor, a voltage is applied to the pixel electrode.

[0004] A liquid crystal display device of an active matrix system using a thin film transistor is known in Japanese Patent Laid-Open Publication No. 63-309921, or in "12.5-inch active matrix color liquid crystal display employing redundancy configuration", Nikkei Electronics, page 193-210, December 15, 1986, published by Nikkei McGraw-Hill Inc, for example.

[0005]

[Problems to be Solved by the Invention] However, as for the liquid crystal display substrate with such a structure, it has been pointed out that an electrical short-circuit is generated between a part of the scanning signal line and a part of the video signal line during the steps for the manufacture.

[0006] And the cause for this turned out to be that static electricity is easily generated in the glass substrate on which the scanning signal line and the like is formed, and that a high voltage is applied to the insulating film between the scanning signal line and the video signal line by the static electricity, which causes the insulating film electrostatic discharge.

[0007] Therefore, the present invention is made based on such circumstances, and the object is to provide a manufacturing method of a liquid crystal display substrate with high reliability for the formation of a scanning signal line and a video signal line.

[0008]

[Means for Solving the Problems] In order to achieve such an object, the

manufacturing method of a liquid crystal display substrate of the present invention basically comprises the steps of forming a first signal line group which extends in the x direction and is juxtaposed in the y direction on a transparent substrate surface, forming a second signal line group which extends in the y direction and is juxtaposed in the x direction with an insulating film between the second signal line group and at least the first signal line group, and cutting the transparent substrate in order to remove the peripheral part thereof. And the method mentioned above also includes the steps of forming a first common conductor layer connected to each signal line of the first signal line group and a second common conductor layer connected to each signal line of the second signal line group on the peripheral parts of the transparent substrate which are to be removed, and forming means capable of electrostatically short-circuiting the first common conductor layer and the second common conductor layer between these layers.

[0009]

[Function] According to the manufacturing method of a liquid crystal display substrate structured as the above, especially, a first common conductor layer connected to each signal line of the first signal line group (scanning signal line, for example) and a second common conductor layer connected to each signal line of the second signal line group (video signal line, for example) are formed over the peripheral part of the transparent substrate which is to be removed, and means capable of electrostatically short-circuiting the first common conductor layer and the second common conductor layer are formed between these layers.

[0010] Therefore, even when static electricity is generated in the transparent substrate and a high voltage is applied to the insulating film between the scanning signal line and the video signal line by the static electricity, the scanning signal line and the video signal line are electrically short-circuited in the previous step, and the static electricity generated in each of these signal lines is neutralized by each other.

[0011] In consequence, a high voltage is not generated between the insulating films provided between each of the signal lines, and the dielectric breakdown can be avoided sufficiently.

[0012] Here, cutting of the transparent substrate to remove the peripheral parts is generally performed in order to make it smaller to the size for each form, and it is performed in the process close to the completion of the liquid crystal display substrate.

[0013] In this way, the scanning signal line and the video signal line can be formed with reliability, without generating electrostatic discharge of the insulating film until the completion of the liquid crystal display substrate.

[0014]

[Embodiments] The present invention, another object of the present invention and another characteristics of the present invention will become clear, by the explanation below referring to the drawings.

[0015] [Active matrix liquid crystal display device] Hereinafter, an embodiment in which this invention is applied to a color liquid crystal display device of active matrix system will be described. In the drawings described hereinafter, the same symbols are put for the ones having the same functions, and the repetitive description will be omitted.

[0016] [General description of the matrix part] Fig. 3 is a plan view showing one pixel and the periphery of a color liquid crystal display device of active matrix system to which this invention is applied, Fig. 4 is a view showing the cross-section at 3-3 section line of Fig. 3, and Fig. 5 is a cross-sectional view at 4-4 section line of Fig. 3.

[0017] As shown in Fig. 3, each pixel is disposed in the cross region (the region surrounded by the four signal lines) of adjacent two scanning signal lines (gate signal line or horizontal signal line) GL and adjacent two video signal lines (drain signal line or vertical signal line) DL. Each pixel includes a thin film transistor TFT, a transparent pixel electrode ITO1 and a retention capacitor Cadd. The scanning signal lines GL extend in the horizontal direction in the figure, and a plurality of them are disposed in the vertical direction. The video signal lines DL extend in the vertical direction, and a plurality of them are disposed in the horizontal direction.

[0018] As shown in Fig. 4, based on a liquid crystal layer LC, the thin film transistor TFT and the transparent pixel electrode ITO1 are formed on the under transparent glass substrate SUB1 side, and a color filter FIL and a light-blocking black matrix pattern BM are formed on the upper transparent glass substrate SUB2 side. Both surfaces of the transparent glass substrates SUB1 and SUB2 are provided with oxide silicon films SIO which are formed by a dip treatment or the like.

[0019] The inside (liquid crystal LC side) surface of the upper transparent glass substrate SUB2 is provided with the light-blocking film BM, the color filter FIL, a protective film PSV2, a common transparent pixel electrode ITO2 (COM) and an upper orientation film ORI2 laminated sequentially.

[0020] [General description of the periphery of matrix] Fig. 6 is a view showing the substantial part plan of the periphery of matrix (AR) of a display panel PNL including the upper and under glass substrates SUB1 and SUB2, Fig. 7 is a view showing a plan which exaggerates the peripheral part further, and Fig. 8 is a view showing the enlarged plan of the vicinity of a seal part SL corresponding to the upper left corner part of the panel in Fig. 6 and Fig. 7. In addition, Fig. 9 is a view showing the cross-section at



8a-8a section line of Fig. 8 on the left and showing the cross-section around an external connection terminal DTM to which a video signal drive circuit should be connected on the right, setting the cross-section of Fig. 4 in the center. In the same way as the above, Fig. 10 is a view showing the cross-section around an external connection terminal GTM to which a scanning circuit should be connected on the left, and showing the cross-section around a seal part without an external connection terminal on the right.

[0021] In this manufacture of the panel, in the case of a small size, a plurality of devices are processed at the same time on one glass substrate and then it is divided, for throughput improvement. In the case of a large size, a glass substrate of a standardized size is processed for any form, and then it is made smaller to the size for each form, for common use of the manufacturing facility. In either case, the glass is cut after a series of processes is over. Fig. 6 to Fig. 8 show the example of the latter. Fig. 6 and Fig. 7 show the upper and under substrates SUB1 and SUB2 after cutting, and Fig. 8 shows before cutting. LN shows the edge of the both substrates before cutting, and CT1 and CT2 show the positions to be cut of the substrates SUB1 and SUB2 respectively. In either case, the size of the upper substrate SUB2 is limited to the inside of the under substrate SUB1 so that the parts (upper and lower hems, and left hem in the figure) where external connection terminal groups Tg and Td (subscript omitted) exist expose them in the completed condition. The terminal groups Tg and Td are the names unitedly given to a plurality of scanning circuit connection terminals GTM and a plurality of video signal circuit connection terminals DTM described later respectively and their associated leading wiring parts for each tape carrier package TCP (Fig. 19 and Fig. 20) where an integrated circuit chip CHI is mounted. The leading wirings from the matrix part of each group to the external connection terminal part slope as they come closer to each end. This is because the terminals DTM and GTM of the display panel PNL are adjusted to the arrangement pitch of the package TCP and the connection terminal pitch at each package TCP.

[0022] A sealing pattern SL is formed between the transparent glass substrates SUB1 and SUB2 so as to seal the liquid crystal LC along the edge except a liquid crystal encapsulating opening INJ. The seal material is formed of an epoxy resin, for example. A common transparent pixel electrode ITO2 on the upper transparent glass substrate SUB2 side, at least in a part of it, is connected to the leading wiring INT formed on the under transparent glass substrate SUB1 side by a silver paste material AGP at the four corners of the panel in the present embodiment. This leading wiring INT is formed in the same manufacturing process as the gate terminal GTM and the drain terminal DTM described later.

[0023] Each layer of orientation films ORI1 and ORI2, the transparent pixel electrode ITO1, and the common transparent pixel electrode ITO2 is formed inside of the sealing pattern SL. Polarizing plates POL1 and POL2 are formed on the outer surfaces of the under transparent glass substrate SUB1 and the upper transparent glass substrate SUB2, respectively. Liquid crystal LC is encapsulated in the region divided by the sealing pattern SL between the under orientation film ORI1 and the upper orientation film ORI2 which set the direction of liquid crystal molecules. The under orientation film ORI1 is formed over the protective film PSV1 on the under transparent glass substrate SUB1 side.

[0024] This liquid crystal display device is composed by laminating various layers on the under transparent glass substrate SUB1 side and on the upper transparent glass substrate SUB2 side separately, forming the sealing pattern SL on the substrate SUB2 side, superimposing the upper transparent glass substrate SUB2 on the under transparent glass substrate SUB1, injecting the liquid crystal LC from the opening part INJ of the sealing material SL, sealing the injecting opening INJ with epoxy resin or the like, and cutting the upper and under substrates.

[0025] [Thin film transistor TFT] Next, going back to Fig. 3 and Fig. 4, the structure of the TFT substrate SUB1 side will be described in detail.

[0026] As for the operation of the thin film transistor TFT, channel resistance between the source and the drain decreases when a positive bias is applied to the gate electrode GT, and channel resistance increases when the bias is zero.

[0027] For each pixel, a plurality of (two) thin film transistors TFT1 and TFT2 are provided redundantly. Each of the thin film transistors TFT1 and TFT2 is structured to substantially the same size (the same channel length and the channel width), and has a gate electrode GT, a gate insulating film GI, an i-type semiconductor layer AS formed of i-type (intrinsic, without impurities which decide the conductivity type doped) amorphous silicon (Si), and a pair of a source electrode SD1 and a drain electrode SD2. Essentially, the source and the drain are decided by the bias polarity between them, and the polarity is reversed in the circuit of this liquid crystal display device during the operation. Therefore, it is understood that the source and the drain switch to each other during the operation. However, in the description below, it will be fixed that the one side is the source and the other side is the drain, for convenience.

[0028] [Gate electrode GT] The gate electrode GT is structured to the formation of projecting from a scanning signal line GL in the vertical direction (it is branched to be T-shape). The gate electrode GT projects so as to cross over the active regions of the thin film transistors TFT1 and TFT2 each. The gate electrode GT of the thin film

transistors TFT1 and TFT2 each is structured integrally (as a common gate electrode), and formed continued to the scanning signal line GL. In the present case, the gate electrode GT is formed of a second conductive film g2 of monolayer. As the second conductive film g2, an aluminum (Al) film formed by sputtering is used, for example, and an anodic oxide film AOF of Al is provided thereon.

[0029] This gate electrode GT is formed to a larger size than the i-type semiconductor layer AS so as to cover it completely (seen from the lower side), and devised so that the i-type semiconductor layer AS is not exposed to outside light or backlight.

[0030] [Scanning signal line GL] The scanning signal line GL is structured by the second conductive film g2. The second conductive film g2 of the scanning signal line is formed by the same manufacturing process as the second conductive film g2 of the gate electrode GT, and structured integrally. In addition, an anodic oxide film AOF is provided on the scanning signal line GL also.

[0031] [Insulating film GI] The insulating film GI is used as a gate insulating film to give an electric field to the semiconductor layer AS with the gate electrode GT, in the thin film transistors TFT1 and TFT2. The insulating film GI is formed above the gate electrode GT and the scanning signal line GL. As the insulating film GI, a silicon nitride film formed by plasma CVD is chosen, for example, and it is formed to a thickness of 1200 to 2700 Å (approximately 2000 Å in the present embodiment). As shown in Fig. 7, the gate insulating film GI is formed so as to surround the whole matrix part AR, and the peripheral part is removed so that external connection terminals DTM and GTM are exposed. The insulating film GI contributes to the electric insulation of the scanning signal line GL and the video signal line DL.

[0032] [I-type semiconductor layer AS] The i-type semiconductor layer AS is structured in the thin film transistors TFT1 and TFT2 respectively so as to be an independent island, and is formed of amorphous silicon to a thickness of 200 to 2200 Å (film thickness of approximately 2000 Å in the present embodiment). A layer d0 is an N (+) type amorphous silicon semiconductor layer doped with phosphorus (P) for an ohmic contact, and it is left only where the i-type semiconductor layer AS exists on the lower side and the conductive layer d2 (d3) exists on the upper side.

[0033] The i-type semiconductor layer AS is also provided on the crossover part of the scanning signal line GL and the video signal line DL between the two. The i-type semiconductor layer AS on this crossover part reduces short circuit of the scanning signal line GL and the video signal line DL at the crossover part.

[0034] [Transparent pixel electrode ITO1] The transparent pixel electrode ITO1 structures one of the pixel electrodes of the liquid crystal display part.

[0035] The transparent pixel electrode ITO1 is connected to the source electrode SD1 of the thin film transistor TFT1 and the source electrode SD1 of the thin film transistor TFT2 both. Therefore, when a defect occurs in either one of the thin film transistors TFT1 and TFT2, in the case where the defect causes side effects, the appropriate part is cut by laser beam or the like, and in the case where side effects are not caused, the other thin film transistor operates normally, so it can be left as it is. The transparent pixel electrode ITO1 is structured by a first conductive film d1, and the first conductive film d1 is made of a transparent conductive film (Indium-Tin-Oxide, ITO: nesa film), and formed to a thickness of 1000 to 2000 Å (film thickness of approximately 1400 Å in the present embodiment).

[0036] [Source electrode SD1 and drain electrode SD2] Each of the source electrode SD1 and the drain electrode SD2 is structured by the second conductive film d2 having contact with the N (+) type semiconductor layer d0 and a third conductive film d3 formed thereon.

[0037] The second conductive film d2 is formed to a thickness of 500 to 1000 Å (approximately 600 Å in the present embodiment), using a chrome (Cr) film formed by sputtering. Since a stress increases when a chrome film is formed to be thick, it is formed within a range not exceeding approximately 2000 Å. The Cr film is used for the purpose of improving adhesiveness with the N (+) type semiconductor layer d0 and preventing the diffusion of Al of the third conductive film d3 into the N (+) type semiconductor layer d0 (as a so-called barrier layer). Besides the Cr film, a refractory metal (Mo, Ti, Ta, W) film or a refractory metal silicide ( $\text{MoSi}_2$ ,  $\text{TiSi}_2$ ,  $\text{TaSi}_2$ ,  $\text{WSi}_2$ ) film may be used as the second conductive film d2.

[0038] The third conductive film d3 is formed by sputtering of Al, to a thickness of 3000 to 5000 Å (approximately 4000 Å in the present embodiment). As for an Al film, a stress is smaller than a Cr film, so it can be formed to be thick, and it has effects of decreasing the value of resistance of the source electrode SD1, the drain electrode SD2 and the video signal line DL, and ensuring step bridging caused by the gate electrode GT and the i-type semiconductor layer AS (improving step coverage).

[0039] After the second conductive film d2 and the third conductive film d3 are patterned with the same mask pattern, the N (+) type semiconductor layer d0 is removed, using the same mask pattern, or using the second conductive film d2 and the third conductive film d3 as masks. That is, the N (+) type semiconductor layer d0 left on the i-type semiconductor layer AS, except the parts corresponding to the second conductive film d2 and the third conductive film d3, is removed by self-alignment. At this time, the N (+) type semiconductor layer d0 is etched so that the whole thickness is

removed. Therefore, the surface part of the i-type semiconductor layer AS is etched a little, but the degree may be controlled by the etching time.

[0040] [Video signal line DL] The video signal line DL is structured by the second conductive film d2 and the third conductive film d3 in the same layer as the source electrode SD1 and the drain electrode SD2.

[0041] [Protective film PSV1] The protective film PSV1 is provided on the thin film transistor TFT and the transparent pixel electrode ITO1. The protective film PSV1 is formed in order to protect mainly the thin film transistor TFT from moisture or the like, and a material with high transparency and with high moisture resistance is used for it. The protective film PSV1 is formed of a silicon oxide film or a silicon nitride film formed by using a plasma CVD device, for example, and formed to a thickness of approximately 1  $\mu\text{m}$ .

[0042] As shown in Fig. 8, the protective film PSV1 is formed so as to surround the whole matrix part AR, and the peripheral part is removed so that the external connection terminals DTM and GTM are exposed. In addition, the part of the protective film where the common electrode COM of the upper substrate side SUB2 is connected to the leading wiring INT for external connection terminal connection of the under side substrate SUB1 with a silver paste AGP is also removed. Concerning the thickness relation of the protective film PSV1 and the gate insulating film GI, the former is made thick considering the protective effect, and the latter is made thin considering the mutual conductance  $g_m$  of the transistor. Therefore, as shown in Fig. 8, the protective film PSV1 with high protective effect is formed larger than the gate insulating film GI so that as large area as possible can be protected including the peripheral part.

[0043] [Light-blocking film BM] The light-blocking film BM is provided on the upper transparent glass substrate SUB2 side, so that outside light or backlight does not enter the i-type semiconductor layer AS. The contour of closed polygon of the light-blocking film BM shown in Fig. 3 shows an aperture where the light-blocking film BM is not formed inside. The light-blocking film BM is formed of an aluminum film or a chrome film, for example, which has high light shield, and in the present embodiment, the chrome film is formed by sputtering to a thickness of approximately 1300  $\text{\AA}$ .

[0044] Therefore, the i-type semiconductor layer AS of the thin film transistors TFT1 and TFT2 is sandwiched by the light-blocking film BM and the large-sized gate electrode GT placed upper and under, and outside natural light or backlight doesn't reach. The light-blocking film BM is formed around each pixel in a lattice-like pattern (so-called black matrix), and the available display region of one pixel is divided by this

lattice. Therefore, the outline of each pixel becomes clear due to the light-blocking film BM, and the contrast is improved. That is, the light-blocking film BM has two functions: light shielding for the i-type semiconductor layer AS, and black matrix.

[0045] The edge part on the base side of the rubbing direction of the transparent pixel electrode ITO1 (lower right part of Fig. 2) is also shielded from light by the light-blocking film BM. Therefore, even when a domain is generated in the above-described part, the domain is not seen, and the display characteristic does not deteriorate.

[0046] The light-blocking film BM is also formed in the peripheral part in a frame-like pattern, as shown in Fig. 7, and the pattern is formed continued to the pattern of the matrix part where a plurality of apertures are provided as dots, which is shown in Fig. 3. The light-blocking film BM in the peripheral part is extended to the outside of the sealing part SL, as shown in Fig. 7 to Fig. 10, and prevents leakage light such as reflected light due to a mounting device such as a personal computer from getting into the matrix part. On the other hand, the light-blocking film BM is bound to the approximately 0.3 to 1.0 mm inside from the edge of the substrate SUB2, and formed avoiding the cutting region of the substrate SUB2.

[0047] [Color filter FIL] The color filter FIL is formed in stripes of repetition of red, green and blue, in the position opposing to the pixel. The color filter FIL is formed to be large enough to cover the whole transparent pixel electrode ITO1, and the light-blocking film BM is formed inside of the marginal part of the transparent pixel electrode ITO1 so as to overlap the color filter FIL and the edge part of the transparent pixel electrode ITO1.

[0048] The color filter FIL may be formed as follows. First, a dyeing base material such as an acrylic resin is formed on the surface of the upper transparent glass substrate SUB2, and the dyeing base material except a red filter formation region is removed by a photolithographic technique. After that, the dyeing base material is dyed with a red dye and a fixing treatment is performed, so that a red filter R is formed. Next, by performing the same process, a green filter G and a blue filter B are formed sequentially.

[0049] [Protective film PSV2] The protective film PSV2 is provided in order to prevent the dye of the color filter FIL from leaking into the liquid crystal LC. The protective film PSV2 is formed of a transparent resin material such as an acrylic resin and an epoxy resin, for example.

[0050] [Common transparent pixel electrode ITO2] The common transparent pixel electrode ITO2 opposes to the transparent pixel electrode ITO1 provided for each pixel

on the under transparent glass substrate SUB1 side. The optical condition of the liquid crystal LC changes, responding to the electric potential difference (electric field) between each pixel electrode ITO1 and the common transparent pixel electrode ITO2. The common transparent pixel electrode ITO2 is structured so that a common voltage  $V_{com}$  is applied to it. In the present embodiment, the common voltage  $V_{com}$  is set to be an intermediate direct-current potential between the minimum level driving voltage  $V_{dmin}$  and the maximum level driving voltage  $V_{dmax}$  applied to the video signal line DL. However, in the case where the power supply voltage of the integrated circuit used in the video signal drive circuit is desired to be reduced to approximately half, an alternating voltage may be applied. Refer to Fig. 7 and Fig. 8 for the planar shape of the common transparent pixel electrode ITO2.

[0051] [Structure of retention capacitor  $C_{add}$ ] The transparent pixel electrode ITO1 is formed so as to overlap the adjacent scanning signal line GL at an end opposite to the end where the thin film transistor TFT is connected to the pixel electrode. As is clear from Fig. 5, this overlapping structures the retention capacitor (electrostatic capacity element)  $C_{add}$  for which the transparent pixel electrode ITO1 is one electrode PL2 and the adjacent scanning signal line GL is the other electrode PL1. The dielectric film of this retention capacitor  $C_{add}$  is structured by the insulating film GI which is used as a gate insulating film of the thin film transistor TFT, and the anodic oxide film AOF.

[0052] The retention capacitor  $C_{add}$  is formed in the part where the width of the second conductive film g2 of the scanning signal line GL is expanded. The second conductive film g2 in the part intersecting with the video signal line DL is made thin so that probability of short circuit with the video signal line DL is decreased.

[0053] Even when the transparent pixel electrode ITO1 is disconnected at the step part of the electrode PL1 of the retention capacitor  $C_{add}$ , the defect is compensated by the island region structured by the second conductive film d2 and the third conductive film d3 formed so as to straddle the step.

[0054] [Gate terminal part] Fig. 11 is a diagram showing the connection structure of the display matrix from the scanning signal line GL to the external connection terminal GTM. (A) is a plan, and (B) shows a cross-section at B-B section line of (A). The figure corresponds to the lower part of Fig. 8, and the sloping portion of wirings is shown in alignment for convenience.

[0055] AO is a mask pattern for a photo treatment, in other words, a photo resist pattern of selective anodic oxidation. Therefore, this photo resist is removed after the anodic oxidation, and the pattern AO shown in figure does not remain as a completed product. However, the oxide film AOF is formed selectively on the gate wiring GL, as

shown in the cross-sectional view, so the locus remains. In the plan view, the left side of the border line of the photo resist AO is a region which is covered by the resist not to be anodized, and the right side of the border line of the photo resist AO is a region which is exposed from the resist so as to be anodized. On the surface of the anodized AL layer g2, the oxide  $\text{Al}_2\text{O}_3$  film AOF is formed, and the volume of the conductive part downward decreases. Of course, the anodic oxidation is performed setting the appropriate time, voltage and the like so that the conductive part remains. The mask pattern AO does not intersect with the scanning signal line as a single straight line, but intersects bending in a form of crank.

[0056] The AL layer g2 in the figure is provided with a hatch to make it easier to understand, and the region which is not anodized is patterned in a pectinate (comb) form. This is for preventing the occurrence of whisker and minimizing the probability of disconnection and the sacrifice of conductivity, by narrowing the width of each Al layer and bundling a plurality of them together, since whisker is generated when the width of the Al layer is wide. Therefore, in the present case, the part corresponding to the base of the comb is staggered along the mask AO.

[0057] The gate terminal GTM is structured by a Cr layer g1 whose adhesiveness to a silicon oxide SIO film is well and with better electric corrosion resistance than aluminum or the like, and a transparent conductive layer d1 which protects the surface and is the same level (the same layer, and simultaneous formation) as the pixel electrode ITO1. The conductive layers d2 and d3 formed on the gate insulating film GI and on the side part of the gate insulating film GI are remained as a result of covering the region by a photo resist so that the conductive layers g2 and g1 are not etched together due to a pin hole or the like when etching of the conductive layers d3 and d2 are performed. In addition, the ITO layer d1 which is extended rightward to cross over the gate insulating film GI is to strengthen the same measure.

[0058] In the plan view, the gate insulating film GI is formed to the right side of the border line, the protective film PSV1 is also formed to the right side of the border line, and the terminal part GTM which is located on the left is exposed from them so that the electrical contact with the external circuit can be made. Although only a pair of the gate line GL and the gate terminal is shown in the figure, actually, a plurality of such pairs are disposed up and down to structure a terminal group Tg (Fig. 7 and Fig. 8) as shown in Fig. 8, and the left periphery of the gate terminal is extended over the cutting region CT1 of the substrate and short-circuited by a wiring SHg, in the manufacturing process. Such short-circuit line SHg in the manufacturing process is helpful for preventing electrostatic discharge when dispatching power for anodizing, rubbing of the



orientation film ORI1 or the like.

[0059] [Drain terminal DTM] Fig. 12 is a diagram showing the connection from the video signal line DL to the external connection terminal DTM. (A) shows the plan, and (B) shows a cross-section at the section line B-B of (A). The figure corresponds to the upper right part of Fig. 8. The direction of the figure is changed for convenience, and the right end direction corresponds to the upper end (or under end) of the substrate SUB1.

[0060] TSTd is a test terminal, and the external circuit is not connected to it, but the width is expanded wider than the wiring part so that a probe needle or the like can be contacted. In the same way, as for the drain terminal DTM, the width is expanded wider than the wiring part so that connection to the external circuit can be made. A plurality of the test terminals TSTd and the external connection drain terminals DTM are arranged zigzag alternately in an up-and-down direction. The test terminal TSTd is terminated without reaching the end of the substrate SUB1, as shown in figure. As shown in Fig. 8, the drain terminal DTM structures the terminal group Td (subscript omitted) and is further extended over the section line CT1 of the substrate SUB1. All of them are short-circuited from each other by the wiring SHd for preventing electrostatic discharge, during the manufacturing process. Sandwiching the matrix of the video signal line DL where the test terminal TSTd exists, the drain connection terminal is connected to the other side, and reversely, sandwiching the matrix of the video signal line where the drain connection terminal DTM exists, the test terminal is connected to the other side.

[0061] The drain connection terminal DTM is formed of the two layers of the Cr layer g1 and the ITO layer d1, for the same reason as the gate terminal GTM described above, and connected to the video signal line DL in the part where the gate insulating film GI is removed. The semiconductor layer AS formed on the end of the gate insulating film GI is for etching the edge of the gate insulating film GI tapered. On the terminal DTM, the protective film PSV1 is removed of course, in order that connection with the external circuit may be made. AO is the anodic oxide mask described above, and the border is formed so as to surround widely the whole matrix. In the figure, the left side of the border line is covered by the mask. Since the layer g2 does not exist in the part not covered in the figure, this pattern is not related directly.

[0062] The leading wiring from the matrix part to the drain terminal part DTM has the structure in which the layers d2 and d3 of the same level as the video signal line DL are laminated, just above the layers d1 and g1 of the same level as the drain terminal part DTM, to the middle of the sealing pattern SL, as shown in (C) part of Fig. 9. This is

for minimizing the probability of disconnection, and protecting the Al layer d3 where electric corrosion easily occurs by the protective film PSV1 and the sealing pattern SL as much as possible.

[0063] [Manufacturing method of wirings SHg and SHd] Here, an embodiment of the manufacturing method of the wirings SHg and SHd extended over the cutting region CT1 of the substrate will be described, using Fig. 1.

[0064] Fig. 1 is a diagram corresponding to Fig. 7, and the wiring SHg is formed on the glass substrate SUB1 surface with the terminal group Tg and the gate GT by the same process.

[0065] Furthermore, after that, an SiN film is also formed in the region crossing over the cutting region CT1 with the formation of the gate insulating film GI by the same process. At this time, at the same time as forming the gate insulating film GI by selective etching of the SiN film, contacts to expose a part of both ends of the wiring SHg are formed.

[0066] In addition, a wiring SHd is formed with the source electrode SD1, the drain electrode SD2 and the terminal group Td (e), and at this time, the wiring SHd is made so as to be electrically connected to the wiring SHg mutually via the contacts.

[0067] Fig. 2 (a) is a diagram showing the cross-section at 11a-11a of Fig. 1.

[0068] By forming the wirings SHg and SHd as this, even when static electricity is generated in the glass substrate SUB1 and a high voltage is applied to the insulating film between the scanning signal line X and the video signal line Y by the static electricity, the scanning signal line X and the video signal line Y are electrically short-circuited in the previous step, and the static electricity generated in each of the signal lines X and Y is neutralized by each other.

[0069] Therefore, a high voltage is not generated between the insulating film existing between each signal line X and Y, and the dielectric breakdown can be fully prevented.

[0070] Here, cutting of the glass SUB1 substrate to remove the peripheral parts (cutting region CT1) is generally performed in order to make it smaller to the size for each form, and it is performed in the process close to the completion of the liquid crystal display substrate.

[0071] In this way, the scanning signal line X and the video signal line Y can be formed with reliability, without generating electrostatic discharge of the insulating film until the completion of the liquid crystal display substrate.

[0072] Although in the above-described embodiment, the electric short-circuit is made under the condition where the wirings SHg and SHd contact each other at the part of the contacts, it goes without saying that the semiconductor layer AS may exist therebetween,

as shown in Fig. 2 (b).

[0073] [Display device whole equivalent circuit] The connection diagram of the equivalent circuit of the display matrix part and the peripheral circuits is shown in Fig. 13. The diagram is a circuit diagram, and is drawn corresponding to the actual geometric arrangement. AR is a matrix array where a plurality of pixels are arranged in a two-dimensional array.

[0074] In the figure, X stands for the video signal line DL, and the subscripts G, B and R are added corresponding to green, blue and red pixels respectively. Y stands for the scanning signal line GL, and the subscripts 1, 2, 3..., and end are added according to the order of scanning timing.

[0075] The video signal line X (subscript omitted) is connected to an upper (or odd number) video signal drive circuit He and an under (or even number) video signal drive circuit Ho alternately.

[0076] The scanning signal line Y (subscript omitted) is connected to a vertical scanning circuit V.

[0077] SUP is a circuit which includes a power supply circuit for obtaining a plurality of divided, stabilized voltage supplies from one voltage supply, and a circuit which translates the information for CRT (cathode-ray tube) from a host (high-order processing unit) for the information for the TFT liquid crystal display device.

[0078] [Function of the retention capacitor Cadd] The retention capacitor Cadd works to reduce the effect of gate voltage change  $\Delta V_g$  on midpoint potential (pixel electrode potential)  $V_{lc}$ , when the thin film transistor TFT switches. This can be described in the following formula.

[0079]

$$\Delta V_{lc} = \{C_{gs} / (C_{gs} + C_{add} + C_{pix})\} \times \Delta V_g$$

Here,  $C_{gs}$  stands for the parasitic capacity formed between the gate electrode GT and the source electrode SD1 of the thin film transistor,  $C_{pix}$  stands for the capacity formed between the transparent pixel electrode ITO1 (PIX) and the common transparent pixel electrode ITO2 (COM), and  $\Delta V_{lc}$  stands for the changed portion of the pixel electrode potential by  $\Delta V_g$ . The changed portion  $\Delta V_{lc}$  causes a direct current component added to the liquid crystal LC. However, the larger the retention volume Cadd becomes, the smaller the value can be. In addition, the retention capacitor Cadd has a function of increasing the discharge time, and stores the image information after the thin film transistor TFT becomes off, for a long time. Decrease in direct current component applied to the liquid crystal LC improves the life of the liquid crystal LC, and can reduce so-called burn-in which is the previous image remaining when the liquid crystal

display screen is switched.

[0080] As described above, since the gate electrode GT is made large enough to fully cover the i-type semiconductor layer AS, the overlapping area with the source electrode SD1 and the drain electrode SD2 increases. In this way, the parasitic capacity  $C_{gs}$  becomes large, which causes the opposite effect in which the midpoint potential  $V_{lc}$  is easily affected by the gate (scanning) signal  $V_g$ . However, by providing the retention capacitor  $C_{add}$ , this demerit can be eliminated.

[0081] The retention volume of the retention capacitor  $C_{add}$  is set to be the value approximately 4-8 times liquid crystal capacity  $C_{pix}$  ( $4 \cdot C_{pix} < C_{add} < 8 \cdot C_{pix}$ ), and 8-32 times the parasitic capacity  $C_{gs}$  ( $8 \cdot C_{gs} < C_{add} < 32 \cdot C_{gs}$ ), for writing characteristic of the pixel.

[0082] The scanning signal line GL ( $Y_0$ ) of the first column which is used only as a retention volume electrode wire is set to have the same electric potential as the common transparent pixel electrode ITO2 ( $V_{com}$ ). In the case of Fig. 8, the scanning signal line of the first column is short-circuited to the common electrode COM through a terminal GT0, a leading line INT, a terminal DT0 and an external wiring. Alternatively, the retention volume electrode wire  $Y_0$  of the first column may be connected to the scanning signal line  $Y_{end}$  of the last column, connected to the direct current potential point (alternating current grounding point) except  $V_{com}$ , or connected so as to be provided with one extra scanning pulse  $Y_0$  by the vertical scanning circuit V.

[0083] [Manufacturing method] Next, the manufacturing method of the substrate SUB1 side of the above-described liquid crystal display device will be described, referring to Fig. 14 to Fig. 16. In the figures, letters in the center stand for abbreviated names of the processes. The left side shows the processing flow of the pixel part shown in Fig. 4 seen as a cross-section, and the right side shows the processing flow of the vicinity of the gate terminal shown in Fig. 11 seen as a cross-section. Except process D, process A to process I are divided in response to each photo treatment, and any cross-sectional view of each process shows the step when the processing after the photo treatment is over and the photo resist is removed. Here, in the present description, the photo treatment means a series of operations from the application of photo resist, the selective exposure using a mask, and to the development of it, and the repetitive explanation is avoided. Hereinafter, description will be made according to the processes devised.

[0084] Process A, Fig. 14

After a silicon oxide film SIO is provided on each surface of an under transparent glass substrate SUB1 formed of 7059 glass (trade name) by a dip treatment, baking is

performed with 500 °C, for 60 minutes. A first conductive film g1 formed of chrome which is 1100 Å thick is provided on the under transparent glass substrate SUB1 by sputtering, and after the photo treatment, the first conductive film g1 is selectively etched using a diammonium cerium (IV) nitrate solution as an etching solution. By this, a gate terminal GTM, a drain terminal DTM, an anodic oxide bus line SHg to connect the gate terminal GTM, a bus line to short-circuit the drain terminal DTM, and an anodic oxide pad SHd (not shown in the figure) connected to the anodic oxide bus line SHg are formed.

[0085] Process B, Fig. 14

A second conductive film g2 formed of Al-Pd, Al-Si, Al-Si-Ti, Al-Si-Cu or the like whose film thickness is 2800 Å is provided by sputtering. After the photo treatment, the second conductive film g2 is selectively etched using a mixed acid solution of a phosphoric acid, a nitric acid and a glacial acetic acid.

[0086] Process C, Fig. 14

After the photo treatment (after formation of the anodic oxide mask AO described above), the substrate SUB1 is soaked in an anodic oxide solution which is formed as follows: a 3% tartaric acid adjusted to be a solution of PH  $6.25 \pm 0.05$  by ammonia is diluted by 1:9 by adding an ethylene glycol solution. In this way, the formation current density is adjusted to be 0.5 mA/cm<sup>2</sup> (constant current formation). Next, anodic oxidation is performed until the formation voltage reaches 125 V which is necessary for obtaining the predetermined Al<sub>2</sub>O<sub>3</sub> film thickness. It is preferable that this condition is maintained for several dozens minutes after that (constant voltage formation). This is important for obtaining a uniform Al<sub>2</sub>O<sub>3</sub> film. By this, the conductive film g2 is anodized, and an anodic oxide film AOF whose film thickness is 1800 Å is formed on the scanning signal line GL, the gate electrode GT and the electrode PL1.

[0087] Process D, Fig. 15

An ammonia gas, a silane gas and a nitrogen gas are introduced into a plasma CVD device, and a silicon nitride film of 2000 Å thick is provided. A silane gas and a hydrogen gas are introduced into the plasma CVD device, and an i-type amorphous silicon film of 2000 Å thick is provided. After that, a hydrogen gas and a phosphine gas are introduced into the plasma CVD device, and an N (+) type amorphous silicon film of 300 Å thick is provided.

[0088] Process E, Fig. 15

After the photo treatment, by selectively etching the N (+) type amorphous silicon film and the i-type amorphous silicon film, using SF<sub>6</sub> and CCl<sub>4</sub> as dry etching gasses, an

island of an i-type semiconductor layer AS is formed.

[0089] Process F, Fig. 15

After the photo treatment, using  $\text{SF}_6$  as a dry etching gas, the silicon nitride film is selectively etched.

[0090] Process G, Fig. 16

A first conductive film d1 made of an ITO film whose film thickness is 1400 Å is provided by sputtering. After the photo treatment, by selectively etching the first conductive film d1 by a mixed acid solution of a hydrochloric acid and a nitric acid as an etching solution, the top layer of the gate terminal GTM and the drain terminal DTM, and a transparent pixel electrode ITO1 are formed.

[0091] Process H, Fig. 16

A second conductive film d2 made of Cr whose film thickness is 600 Å is provided by sputtering, and a third conductive film d3 made of Al-Pd, Al-Si, Al-Si-Ti, Al-Si-Cu or the like whose film thickness is 4000 Å is provided by sputtering. After the photo treatment, the third conductive film d3 is etched by the same solution as the process B, the second conductive film d2 is etched by the same solution as the process A, and a video signal line DL, a source electrode SD1 and a drain electrode SD2 are formed. Next, by introducing  $\text{CCl}_4$  and  $\text{SF}_6$  into a dry etching device and etching the N (+) type amorphous silicon film, an N (+) type semiconductor layer d0 between the source and the drain is selectively removed.

[0092] Process I, Fig. 16

An ammonia gas, a silane gas and a nitrogen gas are introduced into the plasma CVD device, and a silicon nitride film of 1 μm thick is provided. After the photo treatment, by selectively etching the silicon nitride film with a photo-etching technique using  $\text{SF}_6$  as a dry etching gas, a protective film PSV1 is formed.

[0093] [Whole structure of liquid crystal display module] Fig. 17 is an exploded perspective view showing each component of the liquid crystal display module MDL.

[0094] SHD is a frame-like shield case (metal frame) made of a metal plate, LCW is the display window, PNL is a liquid crystal display panel, SPB is a light diffuser, MFR is an intermediate frame, BL is a backlight, BLS is a backlight support, and LCA is an lower case. Each member is stacked with the top-to-bottom arrangement shown in the figure, so that the module MDL is assembled.

[0095] The module MDL is made so that the whole body is fixed by a claw CL and a hook FK provided for the shield case SHD.

[0096] The intermediate frame MFR is formed to be frame-like formation so that an aperture corresponding to the display window LCW can be provided. On the frame

part, concave and convex responding to the formation and thickness of the light diffuser SPB, the backlight support BLS and each circuit component, and an aperture for heat release are provided.

[0097] The lower case LCA works as a reflector of backlight also, and a reflection mountain RM is formed corresponding to a fluorescent tube BL so that effective reflection can be made.

[0098] [Display panel PNL and drive circuit substrate PCB1] Fig. 18 is a top view showing the condition where video signal drive circuits He and Ho and a vertical scanning circuit V are connected to the display panel PNL shown in Fig. 6 and the like.

[0099] CHI is a drive IC chip which drives the display panel PNL (the three downside are drive IC chips of the vertical scanning circuit side, and each six on the right and left are drive IC chips of the video signal drive circuit side). As described later with Fig. 19 and Fig. 20, TCP is a tape carrier package made by packing the IC chip for driving CHI by tape automated bonding (TAB), and PCB1 is a drive circuit substrate on which the above-described TCP, a condenser CDS and the like are mounted, which is divided into three. FGP is a frame ground pad, and a spring-like fragment FG provided cutting into the shield case SHD is soldered. FC is a flat cable which electrically connects the drive circuit substrate PCB1 downside and the drive circuit substrate PCB1 on the left side, and the drive circuit substrate PCB1 downside and the drive circuit substrate PCB1 on the right side. As shown in the figure, a plurality of lead wires (a material of phosphor bronze provided with Sn-plating) sandwiched by a striped polyethylene layer and a polyvinyl alcohol layer for support are used as the flat cable FC.

[0100] [Connection structure of TCP] Fig. 19 is a diagram showing the cross-section structure of the tape carrier package TCP where integrated circuit chips CHI which structure the scanning signal drive circuit V and the video signal drive circuits He and Ho are mounted on a flexible wiring substrate, and Fig. 20 is a substantial part cross-sectional view showing the condition in which that is connected to the video signal circuit terminal DTM, in the present case, of the liquid crystal display panel.

[0101] In the figure, TTB is an input terminal · wiring part of the integrated circuit CHI and TTM is an output terminal · wiring part of the integrated circuit CHI. They are formed of Cu, for example, and each tip portion inside of them (commonly known as inner lead) is connected to a bonding pad PAD of the integrated circuit CHI by so-called face down bonding. The tip portions outside of the terminals TTB and TTM (commonly known as outer lead) correspond to the input and output of the semiconductor integrated circuit chip CHI respectively, and connected to a CRT / TFT translate circuit · power supply circuit SUP by soldering or the like, and connected to

the liquid crystal display panel PNL by an anisotropic conductive film ACF. The package TCP is connected to the panel so that the tip portion covers the protective film PSV1 which exposes the connection terminal DTM of the panel PNL side. Therefore, an external connection terminal DTM (GTM) is covered by at least one of the protective film PSV1 or the package TCP, and it has resistance to electric corrosion.

[0102] BF1 is a base film formed of polyimide or the like, and SRS is a solder resist film working as a mask which prevents the solder from attaching to unnecessary place. The interspace between the upper and under glass substrates outside of the sealing pattern SL is protected by an epoxy resin EPX or the like after cleaning. The space between the package TCP and the upper substrate SUB2 is further filled with silicon resin SIL, and the protection is multiplexed.

[0103] [Drive circuit substrate PCB2] A drive circuit substrate SUB2 of the liquid crystal display part LCD which is hold and stored by the intermediate frame MFR is L-shaped, as shown in Fig. 21, and electronic parts such as an IC, a condenser and a resistor are mounted. On this drive circuit substrate SUB2, a circuit SUP including a power supply circuit for obtaining a plurality of divided, stabilized voltage supplies from one voltage supply and a circuit which translates the information for CRT (cathode-ray tube) from a host (high-order processing unit) for the information for the TFT liquid crystal display device is mounted. CJ is a connector connection part to which a connector not shown in figure to be connected to the external is connected. The drive circuit substrate PCB2 and an inverter circuit substrate PCB3 are electrically connected to each other by a backlight cable through a connector hole provided on the intermediate frame MFR.

[0104] The drive circuit substrate PCB1 and the drive circuit substrate PCB2 are electrically connected to each other by a flexible flat cable FC. When assembling, the drive circuit substrate PCB2 is superimposed on the back side the of drive circuit substrate PCB1 by folding the flat cable FC 180-degree, and fit into the predetermined concave portion of the intermediate frame MFR.

[0105] As is clear from the description above, according to the manufacturing method of a liquid crystal display substrate of the present invention, the scanning signal line and the video signal line can be formed with high reliability.

#### [Brief Description of the Drawings]

Fig. 1 is an explanation drawing, showing an embodiment of the manufacturing method of a liquid crystal display device of the present invention.

Fig. 2 (a) is a cross-sectional view at 11a-11a line of Fig. 1, and (b) is a cross-sectional view showing another embodiment.



Fig. 3 is a substantial part plan view showing one pixel of a liquid crystal display part of a color liquid crystal display device of active matrix system and the periphery, to which this invention is applied.

Fig. 4 is a cross-sectional view showing one pixel and the periphery at 3-3 section line of Fig. 2.

Fig. 5 is a cross-sectional view of an additional capacity  $C_{add}$  at 4-4 section line of Fig. 2.

Fig. 6 is a plan view to describe the structure of the periphery of matrix of a display panel.

Fig. 7 is a panel plan view to describe the peripheral part of Fig. 5 specifically with a little exaggeration.

Fig. 8 is an enlarged plan view of the corner of a display panel including an electrical connection part of upper and under substrates.

Fig. 9 is a cross-sectional view showing the vicinity of a panel corner and the vicinity of a video signal terminal part on each side of a pixel part of matrix in the center.

Fig. 10 is a cross-sectional view showing a scanning signal terminal on the left, and a panel edge part without an external connection terminal on the right.

Fig. 11 is a plan view and a cross-sectional view showing the vicinity of the connection part of a gate terminal  $GTM$  and a gate wiring  $GL$ .

Fig. 12 is a plan view and a cross-sectional view showing the vicinity of the connection part of a drain terminal  $DTM$  and a video signal line  $DL$ .

Fig. 13 is a circuit diagram including a matrix part of a color liquid crystal display device of active matrix system and the periphery.

Fig. 14 is a flow chart of cross-sectional views of a pixel part and a gate terminal part, showing the manufacturing process of processes A to C of the substrate SUB1 side.

Fig. 15 is a flow chart of cross-sectional views of the pixel part and the gate terminal part, showing the manufacturing process of processes D to F of the substrate SUB1 side.

Fig. 16 is a flow chart of cross-sectional views of the pixel part and the gate terminal part, showing the manufacturing process of processes G to I of the substrate SUB1 side.

Fig. 17 is an exploded perspective view of a liquid crystal display module.

Fig. 18 is a top view showing the condition in which peripheral drive circuits are mounted on a liquid crystal display panel.

Fig. 19 is a diagram showing a cross-section structure of a tape carrier package TCP where an integrated circuit chip CHI which structures drive circuits is mounted on a flexible wiring substrate.

Fig. 20 is a substantial part cross-sectional view showing the condition in which the tape carrier package TCP is connected to a video signal circuit terminal DTM of a liquid crystal display panel PNL.

Fig. 21 is a top view showing the connection condition of a peripheral drive circuit substrate PCB1 (the upper surface is seen) and a power supply circuit circuit substrate PCB2 (the under surface is seen).

[Description of Symbols]

SUB: transparent glass substrate

GL: scanning signal line

DL: video signal line

GI: insulating film

GT: gate electrode

AS: i-type semiconductor layer

SD: source electrode or drain electrode

PSV: protective film

BM: light-blocking film

LC: liquid crystal

TFT: thin film transistor

ITO: transparent pixel electrode

g, d: conductive film

Cadd: retention capacitor

AOF: anodic oxide film

AO: anodic oxide mask

GTM: gate terminal

DTM: drain terminal

SHD: shield case

PNL: liquid crystal display panel

SPB: light diffuser

MFR: intermediate frame

BL: backlight

BLS: backlight support

LCA: lower case

RM: backlight reflection mountain

(hereinafter subscript omitted)

Continued from the front page

(72) Inventor: Masaaki MATSUDA

c/o Hitachi, Ltd.

Electronic Device Division

3300 Hayano, Mobara-shi, Chiba

(72) Inventor: Juichi HORII

c/o Hitachi, Ltd.

Electronic Device Division

3300 Hayano, Mobara-shi, Chiba

(72) Inventor: Yuichi HASHIMOTO

c/o Hitachi, Ltd.

Electronic Device Division

3300 Hayano, Mobara-shi, Chiba

(72) Inventor: Masahiro YANAI

c/o Hitachi, Ltd.

Electronic Device Division

3300 Hayano, Mobara-shi, Chiba